

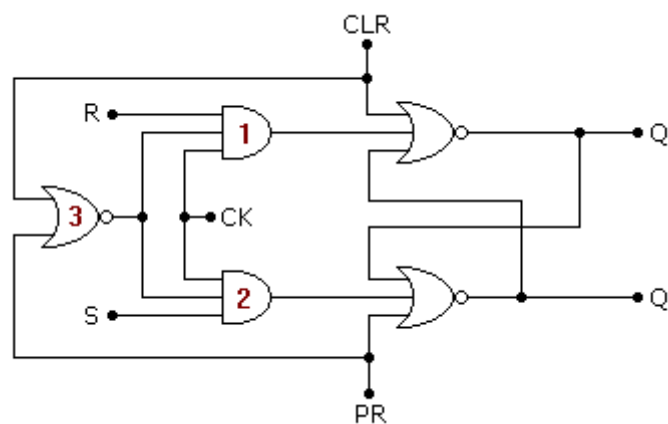
ENTRADAS ASSÍNCRONAS NOS FLIP-FLOPS PR(preset) e CLR(clear)

As entradas assíncronas comandam os FFs, sobrepondo-se às demais.

Denominadas PR (preset) e CLR (clear) essas entradas podem comandar o modo de operação de um FF.

FF RS com entradas PR e CLR

Veja na figura abaixo a modificação efetuada de forma que as entradas PR e CLR comandem as ações do modo de operação do FF.



Observe que foi acrescentada uma porta NOR (porta 3) ao circuito, cujas entradas são ligadas diretamente ao PR e CLR.

1) O FF somente funcionará normalmente quando a saída da porta NOR 3 for igual a 1, pois estará liberando as portas 1 e 2;

2) Essa condição será alcançada somente se $PR = CLR = 0$;

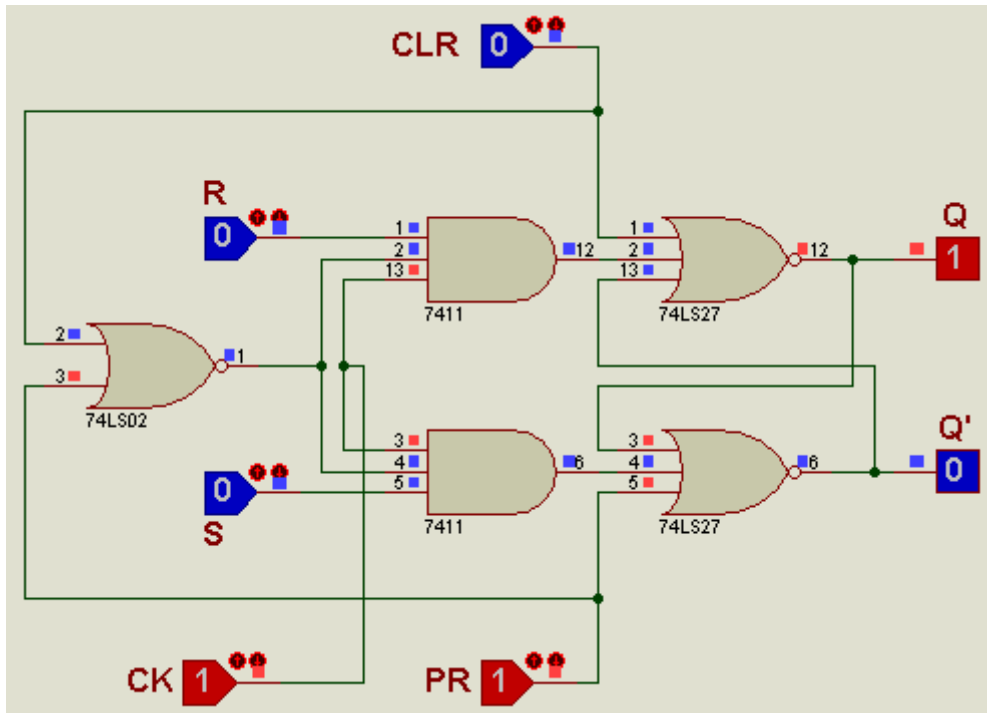
3) Basta que uma das entradas (ou PR ou CLR) sejam submetidas a nível lógico 1, para que o funcionamento normal do FF seja bloqueado. Aí então entram em ação as entradas assíncronas;

4) Se PR for igual a 0 e CLR igual a 0, então podemos analisar o FF como sendo um circuito implementado com portas NOR, visto anteriormente.

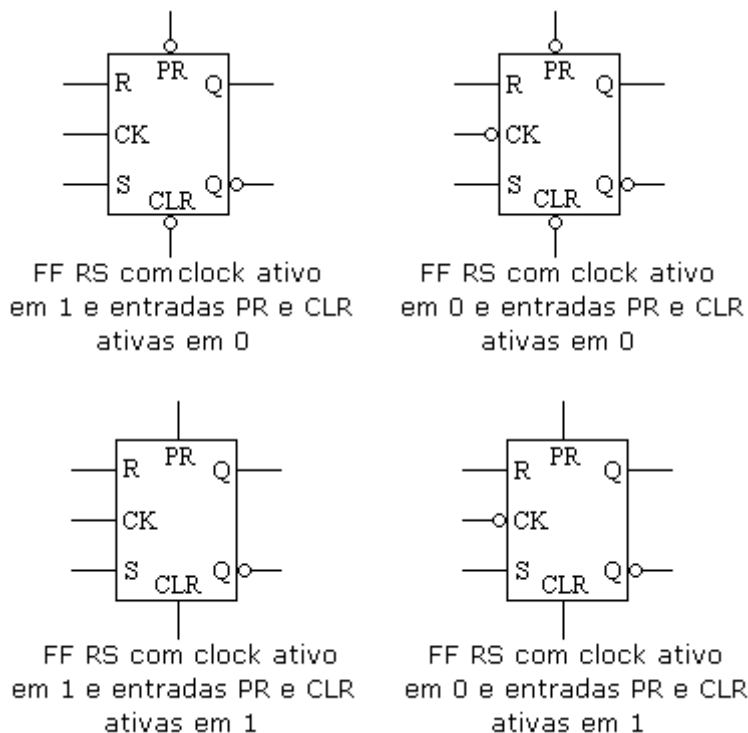
Veja a tabela da verdade, nas condições de FF bloqueado em relação as suas entradas síncronas (CK, R e S).

R	S	CK	PR	CLR	Modo de operação
X	X	X	1	0	set
X	X	X	0	1	reset
X	X	X	1	1	proibido
			0	0	Libera o FF

Veja na figura a seguir o circuito montado para a simulação no Proteus ISIS:



Veja a seguir as representações possíveis de um FF RS com entradas PR e CLR.



Lembrar que: clock ativo ou sensível em 0 significa a transição negativa do pulso de clock (ou seja H-L - descida); clock ativo ou sensível em 1 significa a transição positiva do pulso de clock (ou seja L-H - subida). Podemos dizer ainda que, a transição L-H representa a borda positiva do pulso de clock enquanto que, a transição H-L representa a borda negativa.

As entradas PR e CLR são sensíveis em nível (0 ou 1).

Por convenção temos: H=high, que significa nível lógico 1 (alto) enquanto que L=low, significa nível lógico 0 (baixo).

As entradas PR e CLR são ativas em 1. Portanto, para que o FF funcione normalmente ambas devem estar em nível lógico 0.

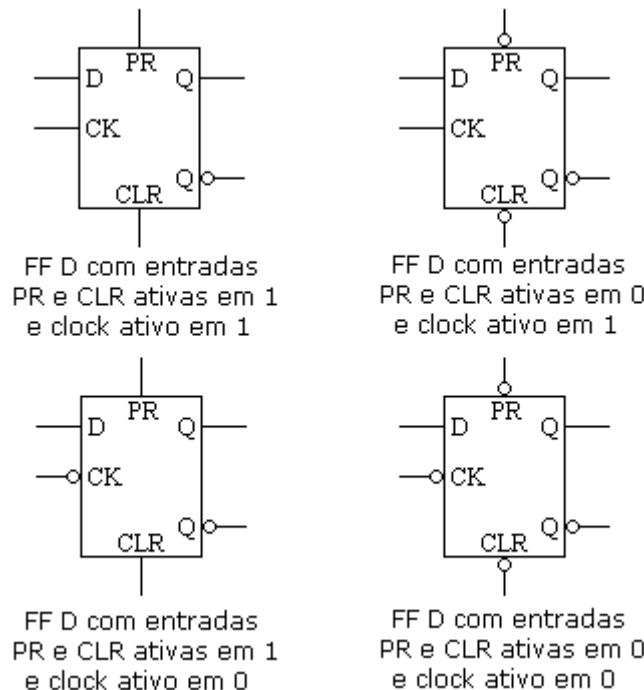
A tabela abaixo mostra o funcionamento de um FF RS com entradas PR e CLR e clock ativo na transição L-H (subida do pulso)

PR	CLR	CK	R	S	Q _{n+1}	Q _{n+1} '	Modo de operação
0	1	X	X	X	0	1	Reset
1	0	X	X	X	1	0	Set
1	1	X	X	X	0	0	Proibido
0	0	↓	X	X	Q _n	Q _n '	FF não responde ¹
0	0	↑	0	0	Q _n	Q _n '	Hold
0	0	↑	0	1	1	0	Set
0	0	↑	1	0	0	1	Reset
0	0	↑	1	1	0	0	Proibido

X = don't care (pouco importa) ou seja, quando as entradas PR e CLR comandam o FF as demais entradas, no caso R, S e CK não atuam no FF, podendo estar em nível lógico 0 ou 1.

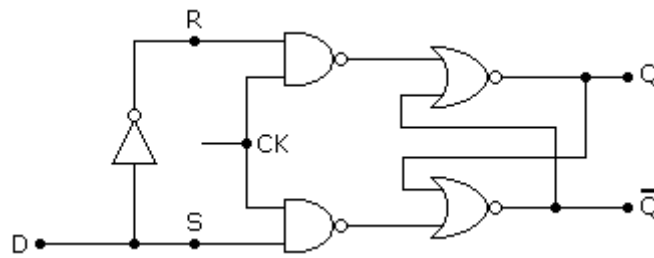
Análise de um FF tipo D com entradas PR e CLR

O processo de análise é idêntico ao visto anteriormente.



¹ Neste caso o FF não responde, pois seu clock é ativo somente na subida do pulso.

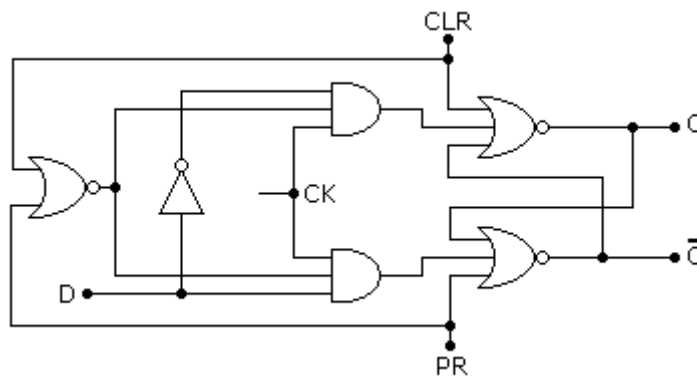
Como vimos anteriormente, o FF D em relação ao FF RS tem a vantagem de eliminar o estado proibido, visto que as entradas R e S são interligadas através de um inversor, conforme ilustra a figura a seguir.



Nestas condições:

- quando $D=1$ teremos $S=1$ e $R=0$, levando o FF ao modo SET
- quando $D=0$ teremos $S=0$ e $R=1$, levando o FF ao modo RESET
- conclui-se também que no mesmo não ocorre o modo de operação HOLD

O circuito a seguir mostra um FF D com entradas PR e CLR implementado com portas lógicas.



Veja como fica a tabela da verdade.

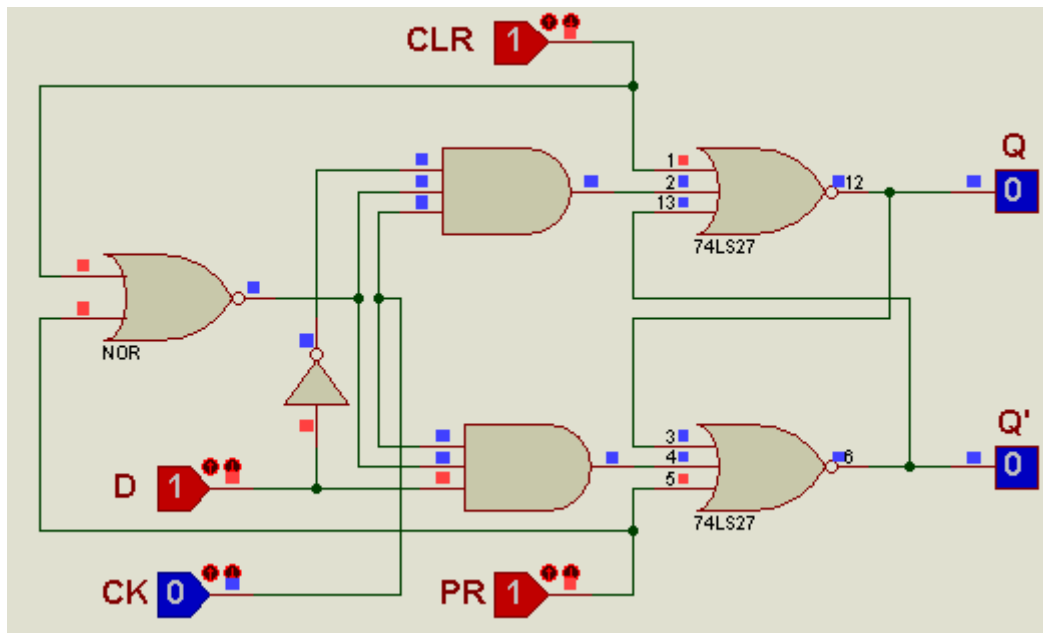
Condições: PR e CLR ativos em 1 e clock ativo na borda positiva ou transição L-H ou ainda, subida do pulso.

PR	CLR	CK	D	Q_{n+1}	Q_{n+1}'
0	1	X	X	0	1
1	0	X	X	1	0
1	1	X	X	Proibido	Proibido
0	0	↓	X	Q_n	Q_n' ²
0	0	↑	0	0	1
0	0	↑	1	1	0

O FF D somente assume o estado proibido quando possuir as entradas PR e CLR, conforme se pode observar na tabela acima.

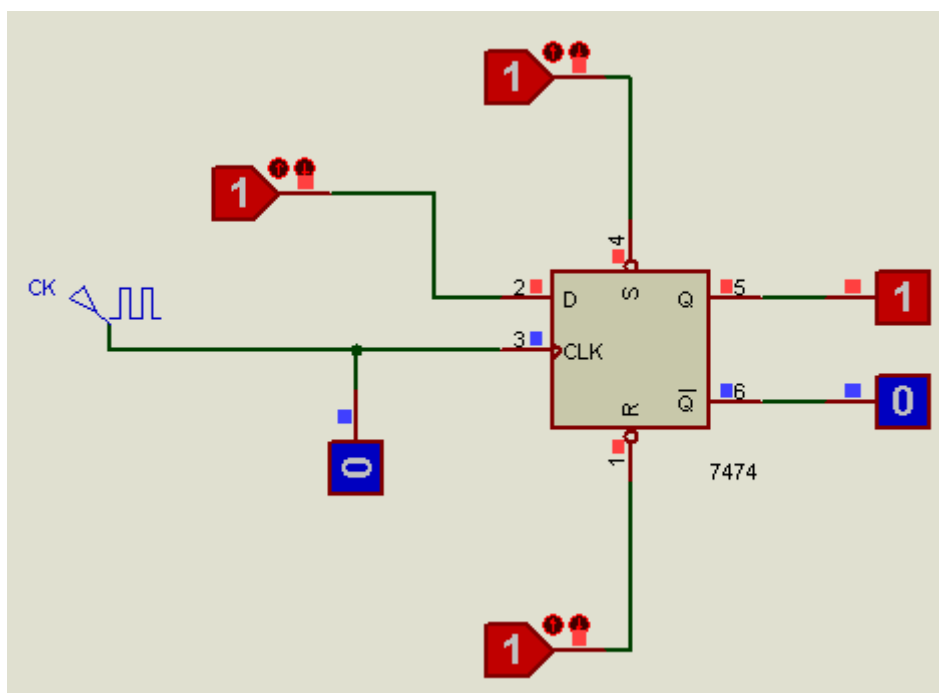
O circuito a seguir foi simulado no Proteus ISIS, e corresponde a tabela acima.

² Neste caso o FF não responderá, pois seu clock é ativo somente na subida do pulso



A figura a seguir ilustra a simulação feita no Proteus ISIS do FF tipo D, com entradas PR e CLR ativas em 0 e pulso de clock responsivo na subida do pulso.

Trata-se do circuito integrado comercial 74LS74



Como as entradas PR e CLR (S e R respectivamente) são ativas em 0, o FF entrará em operação normal somente quando PR = CLR = 1.

Assim:

PR	CLR	Modo de operação
0	1	set
1	0	reset
0	0	proibido