

SISTEMAS DE MULTIPLEXAÇÃO E DEMULTIPLEXAÇÃO

ANÁLISE DOS CIs COMERCIAIS 74LS153 e 74LS155

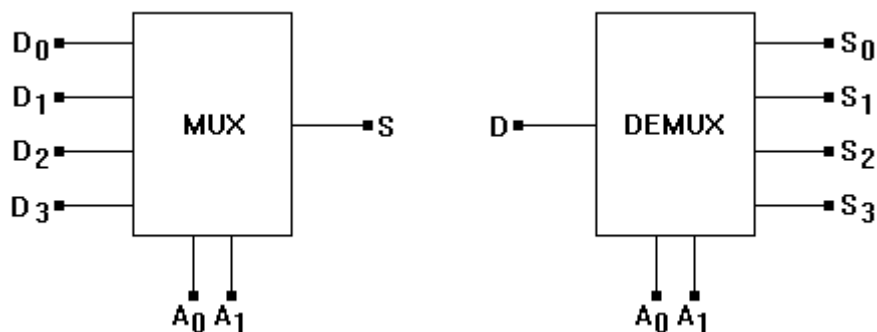
INTRODUÇÃO TEÓRICA

Os multiplexadores e demultiplexadores pertencem a classe dos circuitos lógicos combinacionais. No entanto, quando os mesmos são associados para formar um sistema de transmissão e recepção de dados, podem ser sincronizados através de um dispositivo sequencial.

Um circuito lógico combinacional é aquele em que as variáveis de saída são funções determinadas pelas variáveis de entrada no instante do tempo observado, ou seja, é um circuito no qual as saídas dependem exclusivamente das entradas.

Os multiplexadores e demultiplexadores normalmente são abreviados como "mux" e "demux" respectivamente.

O multiplexador é um dispositivo que seleciona uma das entradas de dados para a saída em função das entradas de endereçamento, enquanto que, o demultiplexador endereça uma única entrada de dados para uma das saídas, também em função das entradas de endereçamento. Veja a figura abaixo:



1. O multiplexador mostrado possui 4 entradas de dados D_0 a D_3 e 2 entradas de endereçamento ou seleção A_0 e A_1 .
2. O número da entrada de dados é uma função das entradas de seleção ou endereçamento, ou seja, 2^n , onde "n" representa a quantidade de entradas de endereço.
3. Para o "mux" em questão o número de entrada de dados é $2^2 = 4$.
4. Se um multiplexador tiver 3 entradas de endereçamento ou seleção, a quantidade de entradas de dados será $2^3 = 8$.
5. O demultiplexador mostrado possibilita a distribuição da entrada de dados para uma das saídas, também em função da quantidade das entradas de seleção ou endereçamento.
6. A exemplo do multiplexador, a quantidade de saídas é uma variável dependente das entradas de endereçamento. Assim, um demultiplexador com 3 entradas de endereçamento possuirá 8 saídas ($2^3 = 8$).

CONCLUSÕES:

Multiplexador é um circuito lógico que tendo diversas entradas de dados, permite que apenas uma delas atinja a saída por vez.

O multiplexador tem como principais aplicações: seleção de dados, encaminhamento de dados, operações sequenciais, etc.

Demultiplexador é um circuito lógico que executa a operação inversa do multiplexador, ou seja, recebe os dados de uma única entrada e os distribui separadamente para uma das diversas saídas.

O demultiplexador é muito utilizado na recepção de dados do multiplexador e em transmissão síncrona de dados.

TABELA DA VERDADE DE UM MULTIPLEXADOR

DADOS	A0	A1	SAÍDA
D0	0	0	D0
D1	0	1	D1
D2	1	0	D2
D3	1	1	D3

Se por exemplo, tivermos $A_0 = 1$ e $A_1 = 0$, teremos o dado da entrada 3 (D_2) na saída S.

TABELA DA VERDADE DE UM DEMULTIPLEXADOR

DADOS	A0	A1	S0	S1	S2	S3
1	0	0	1			
1	0	1		1		
1	1	0			1	
1	1	1				1

Se por exemplo, tivermos $A_0 = 0$ e $A_1 = 0$, o dado na entrada estará presente em S_0 .

EXPRESSÕES LÓGICAS:

Através das tabelas da verdade apresentadas poderemos tirar a expressão lógica que dará origem ao esquema de blocos de um multiplexador e de um demultiplexador.

Para o multiplexador teremos:

$$S = D_0 \bar{A}_0 \bar{A}_1 + D_1 A_0 \bar{A}_1 + D_2 \bar{A}_0 A_1 + D_3 A_0 A_1$$

Geralmente uma entrada adicional é utilizada para controle da entrada de dados, onde os dados somente serão transferidos para a saída se esta entrada estiver

habilitada. Essa entrada é chamada Strobe (G) e dessa forma, a expressão da saída será:

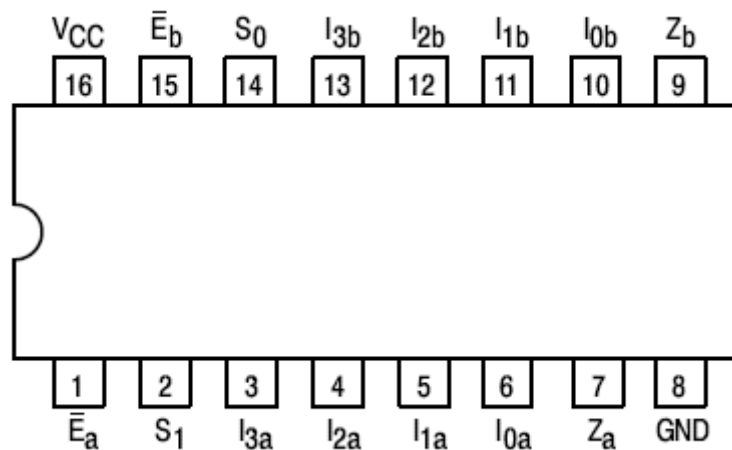
$$S = G (D_0 \bar{A}_0 \bar{A}_1 + D_1 A_0 \bar{A}_1 + D_2 \bar{A}_0 A_1 + D_3 A_0 A_1)$$

Para o demultiplexador temos:

$$\begin{aligned} S_0 &= D (\bar{A}_0 \bar{A}_1) \\ S_1 &= D (\bar{A}_0 A_1) \\ S_2 &= D (A_0 \bar{A}_1) \\ S_3 &= D (A_0 A_1) \end{aligned}$$

A exemplo do multiplexador, o demultiplexador poderá ter também uma terceira entrada habilitadora, permitindo a transferência do dado na entrada para a saída, somente se esta estiver habilitada.

O circuito integrado comercial 74LS153 (DUAL 4-INPUT MULTIPLEXER)



As entradas correspondem aos pinos **10, 11, 12 e 13** e **6, 5, 4 e 3**, lembrando que se trata de um circuito integrado comercial duplo (dual)

As saídas em número de 2 (por se tratar de um CI duplo) são obtidas nos pinos 7 (que correspondem às entradas 10, 11, 12 e 13) e 9 (que correspondem às entradas 6, 5, 4 e 3)

S0 e S1 são as entradas de endereçamento (pinos 2 e 14)

Os pinos 1 e 15 são as entradas de habilitação (Enable)

A tabela da verdade é mostrada a seguir:

TRUTH TABLE

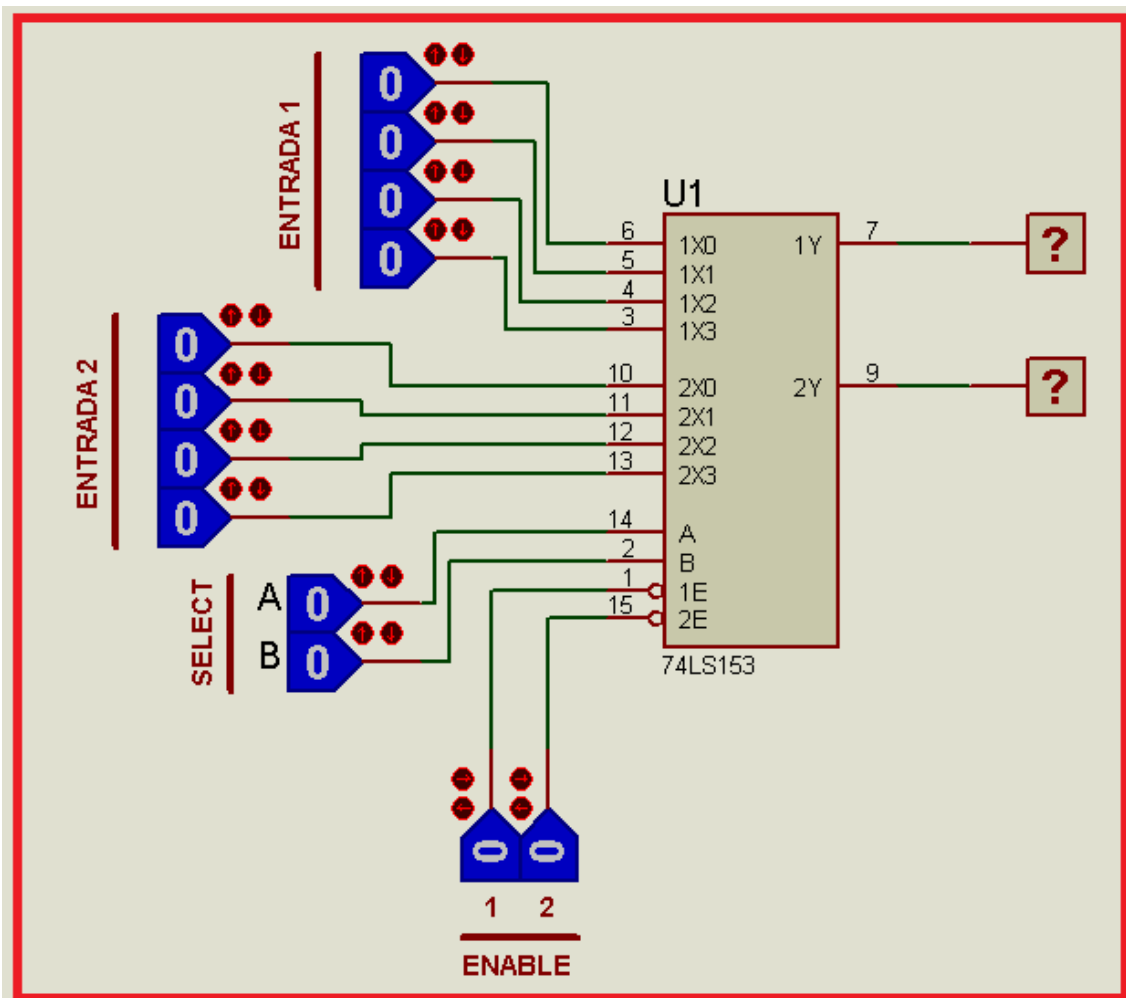
SELECT INPUTS		INPUTS (a or b)					OUTPUT
S ₀	S ₁	\bar{E}	I ₀	I ₁	I ₂	I ₃	Z
X	X	H	X	X	X	X	L
L	L	L	L	X	X	X	L
L	L	L	H	X	X	X	H
H	L	L	X	L	X	X	L
H	L	L	X	H	X	X	H
L	H	L	X	X	L	X	L
L	H	L	X	X	H	X	H
H	H	L	X	X	X	L	L
H	H	L	X	X	X	H	H

H = HIGH Voltage Level

L = LOW Voltage Level

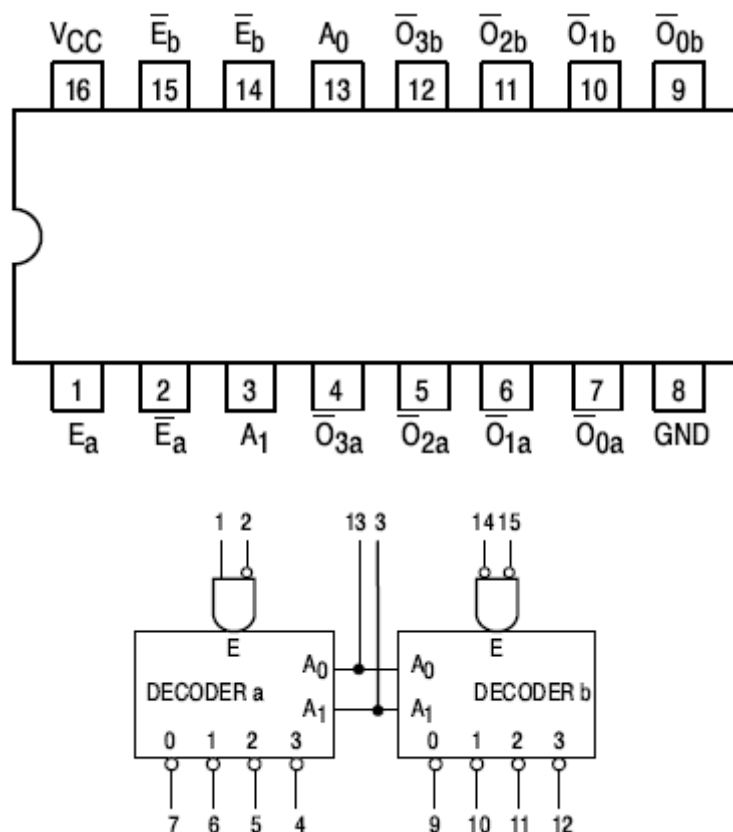
X = Don't Care

Observe que as entradas de endereçamento (*select inputs*) são comuns tanto para as entradas de dados "a" como "b". Veja abaixo a simulação feita no Proteus ISIS



Embora o endereçamento seja comum para os dois segmentos de entrada de dados, a habilitação (enable) é independente.

O circuito integrado comercial 74LS155 (DUAL 1-od-4 DECODER/DEMULTIPLEXER)



Entradas de endereçamento: A0 e A1 (pinos 3 e 13)

A habilitação (enable) é feita através dos pinos 1, 2, 14 e 15. Observe que a habilitação correspondente ao pino 1 ocorre em nível lógico alto (HIGH)

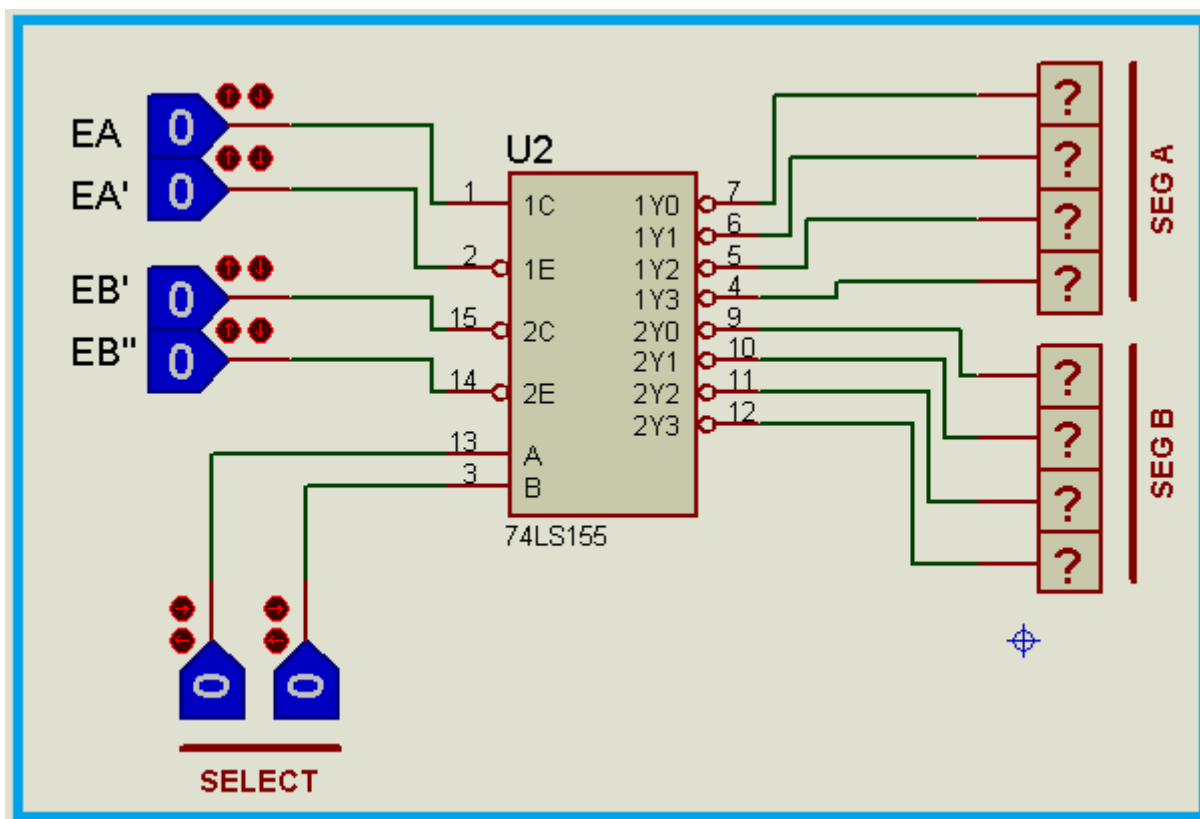
A tabela da verdade é mostrada a seguir:

TRUTH TABLE

ADDRESS		ENABLE "a"		OUTPUT "a"				ENABLE "b"		OUTPUT "b"			
A ₀	A ₁	E _a	\bar{E}_a	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3	\bar{E}_b	\bar{E}_b	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Don't Care

A figura a seguir ilustra a simulação feita no Proteus ISIS que obedece rigorosamente a tabela mostrada acima.



A interação entre os dois CIs forma um sistema de transmissão/recepção, onde as entradas de endereçamento selecionam o dado na entrada do transmissor (74LS153) que deverá estar disponibilizado na saída do receptor (74LS155).

As saídas do CI 74LS153 podem ser interligadas de acordo com a concepção do projeto.

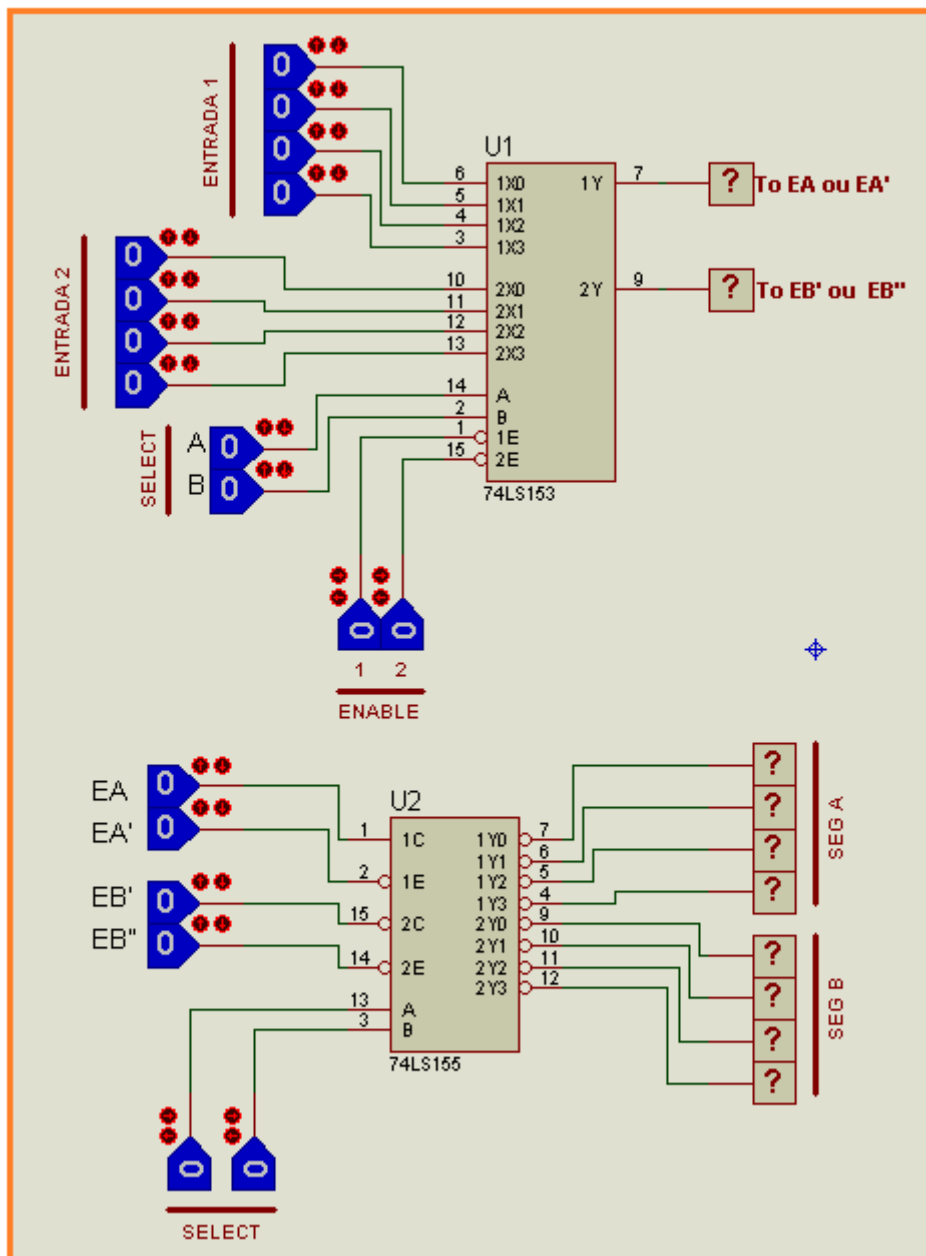
Por exemplo, a saída (pino 7 do 74LS153) pode ser conectada tanto na entrada EA como na entrada EA' (pinos 1 e 2 respectivamente), entradas essas que correspondem ao segmento "a" do CI 74LS155 que neste caso desempenha o papel de receptor.

Se não houver necessidade de usar o segmento "b", basta mantê-lo desabilitado conforme já foi visto nas tabelas da verdade de ambos os CIs.

Por opção do projeto, as entradas de endereçamento (select) podem ser sincronizadas (ligadas em paralelo).

É bom lembrar também que o CI 74LS155 que desempenha a função de receptor também opera como um DECODIFICADOR.

Os termos "segmento" ou "secção" tem o mesmo significado. Ambos CIs tem 2 segmentos ou 2 secções.



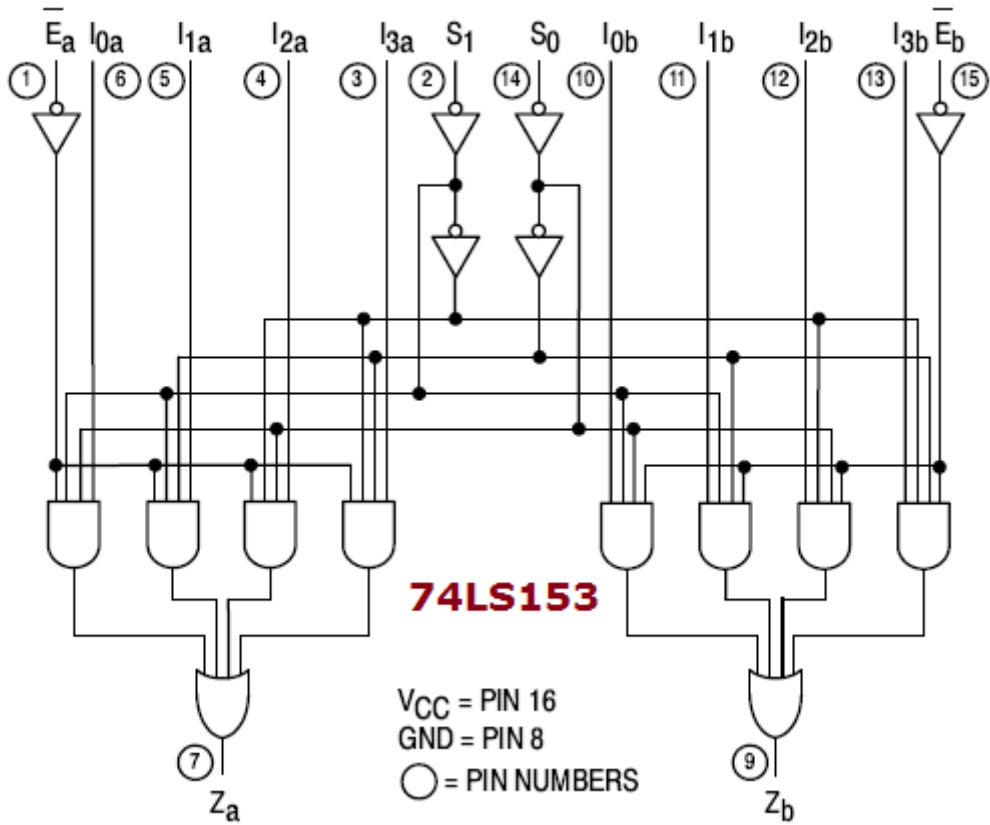
As figuras a seguir mostram o diagrama lógico dos dois CIs.

Para os dois CIs, os pinos que correspondem a alimentação são:

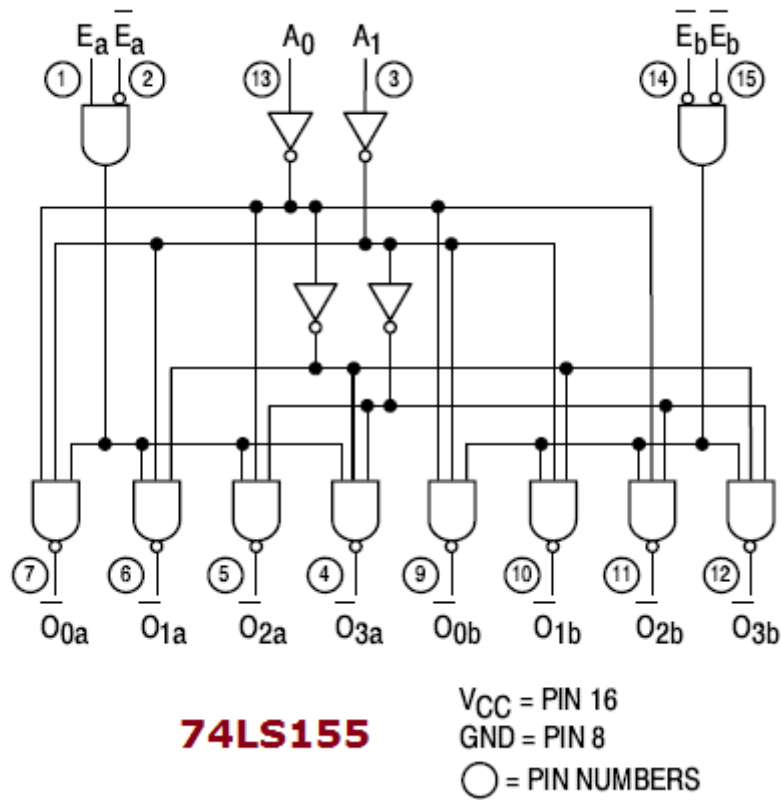
- 16 – VCC
- 8 – GND

Como esses CIs pertencem a família TTL a alimentação típica é da ordem de 5 volts.

LOGIC DIAGRAM



LOGIC DIAGRAM



A seguir os diagramas esquemáticos com a interligação do MUX e DEMUX para simulação no Proteus ISIS

