

SOMADORES E SUBTRATORES

Em sistemas digitais, muitas vezes necessitamos de circuitos que realizem operações de soma e subtração.

Em computação, esses circuitos ocupam uma posição de extrema importância, uma vez que são responsáveis por todas as operações aritméticas.

SOMADORES E SUBTRATORES BINÁRIOS

I - SOMADORES:

Existem basicamente dois tipos de somadores:

| |
|-------------|
| 1- série |
| 2- paralelo |

O somador série caracteriza-se pelo fato de efetuar a soma bit a bit e o somador paralelo caracteriza-se quando a soma dos diversos bits é feita simultaneamente.

Em ambos os tipos, o circuito que desempenha efetivamente a operação de soma é único.

Vamos supor que desejamos implementar um circuito que efetue a seguinte operação:

$$111 + 101$$

Teremos então:

| | | | | |
|---|---|---|---|--------------------------|
| 1 | 1 | 1 | | <==== transporte (carry) |
| | 1 | 1 | 1 | + |
| | 1 | 0 | 1 | |
| 1 | 1 | 0 | 0 | <==== saída |

Podemos então visualizar essa operação com mais detalhes, separando-a em partes, as quais denominaremos colunas:

| | | | | |
|----------------|----------------|----------------|----------------|--------------------------|
| 1 | 1 | 1 | | <==== transporte (carry) |
| | 1 | 1 | 1 | + |
| | 1 | 0 | 1 | |
| 1 | 1 | 0 | 0 | <==== saída |
| 4 ^a | 3 ^a | 2 ^a | 1 ^a | <==== colunas |

Na 1^a coluna: $1 + 1 = 0$ e “vai um” (carry)

Necessitamos então de um circuito que some apenas 2 bits, neste caso, um OU EXCLUSIVO.

A saída de uma porta OU EXCLUSIVO será igual a “1” se, e apenas se, existir um número ímpar de entradas igual a “1”.

Para uma porta OU EXCLUSIVO de 2 entradas, podemos então dizer que a saída terá nível lógico “1” se e somente se os níveis lógicos da entrada forem diferentes. Veja a tabela abaixo:

| A | B | $X = A \oplus B$ |
|---|---|------------------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

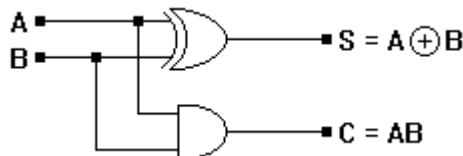
Se observarmos os valores de X, podemos verificar que eles correspondem exatamente à soma das variáveis A e B, conforme mostra a tabela abaixo:

| A | B | $S = A + B$ | C | $C = \text{transporte [carry]}$ |
|---|---|-------------|---|---------------------------------|
| 0 | 0 | 0 | - | |
| 0 | 1 | 1 | - | |
| 1 | 0 | 1 | - | |
| 1 | 1 | 0 | 1 | |

A tabela da verdade de $S = A + B$, nos fornece as funções de S e C:

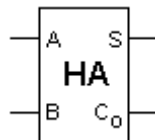
$$\begin{aligned} S &= \bar{A}B + A\bar{B} = A \oplus B \\ C &= AB \end{aligned}$$

Neste caso, o transporte (carry) estará presente na saída C, conforme mostra o circuito abaixo:



Esse circuito, suficiente para realizar a operação da 1ª coluna é designado *circuito meio somador*, pelo fato de somar apenas 2 bits e não levar em conta o transporte durante a operação.

O meio somador (HA, do inglês Half-Adder) tem uma simbologia própria, mostrada abaixo, onde: S = saída e C_0 = carry (transporte).



A diferença básica de operação da 1ª coluna para as demais, é que na 1ª coluna soma-se apenas 2 bits não considerando o transporte. As 2ª, 3ª e 4ª colunas, por considerarem o transporte somam 3 bits.

Assim sendo, o meio somador não pode ser utilizado, uma vez que não dispõe de 3 entradas.

Vejam então como ficam as situações possíveis para uma soma de 3 bits:

↔ Operandos ↔

| A | B | D | S = A+B+D | C |
|---|---|---|-----------|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

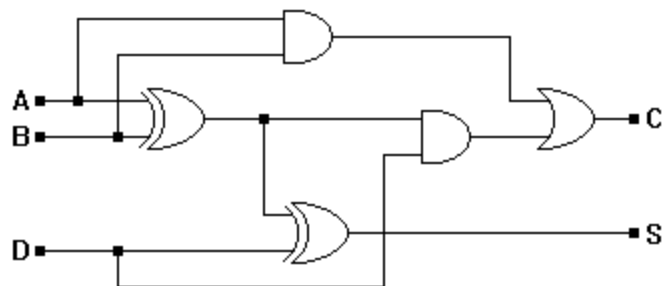
$$S = \bar{A}\bar{B}D + \bar{A}B\bar{D} + A\bar{B}\bar{D} + ABD$$

$$C = \bar{A}BD + A\bar{B}D + AB\bar{D} + ABD \quad \text{ou}$$

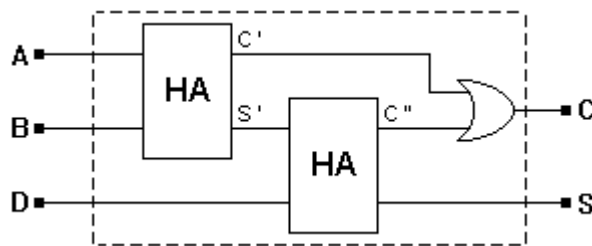
$$S = D(\bar{A}\bar{B} + AB) + \bar{D}(\bar{A}B + A\bar{B}) = A \oplus B \oplus D$$

$$C = D(\bar{A}B + A\bar{B}) + AB = D(A \oplus B) + AB$$

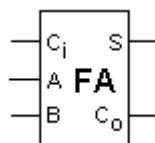
O circuito lógico correspondente é mostrado abaixo:



Verifica-se então que esse circuito resulta na combinação de dois meio somadores, conforme representado a seguir:



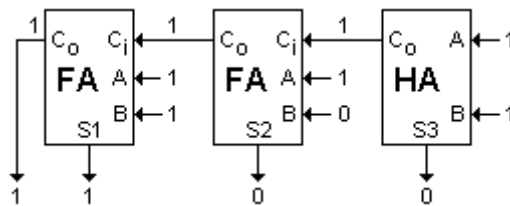
Pelo fato de considerar o transporte durante o processo de soma, o circuito para tal finalidade deve ser o *somador completo* (FA, do inglês Full-Adder).



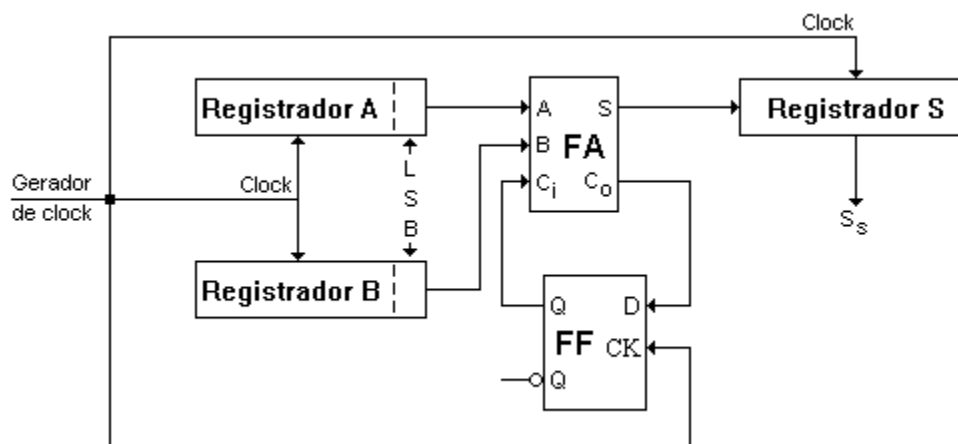
C_i (carry in), significa transporte anterior

C_o (carry out), significa saída de transporte

O circuito abaixo mostra um somador completo a partir da 2ª coluna. Esse somador é denominado somador paralelo, pelo fato de que o transporte obtido a cada soma é conectado à entrada do próximo módulo somador.



Utilizando apenas um módulo somador, podemos construir um somador completo, conforme mostra a figura abaixo:



ANÁLISE:

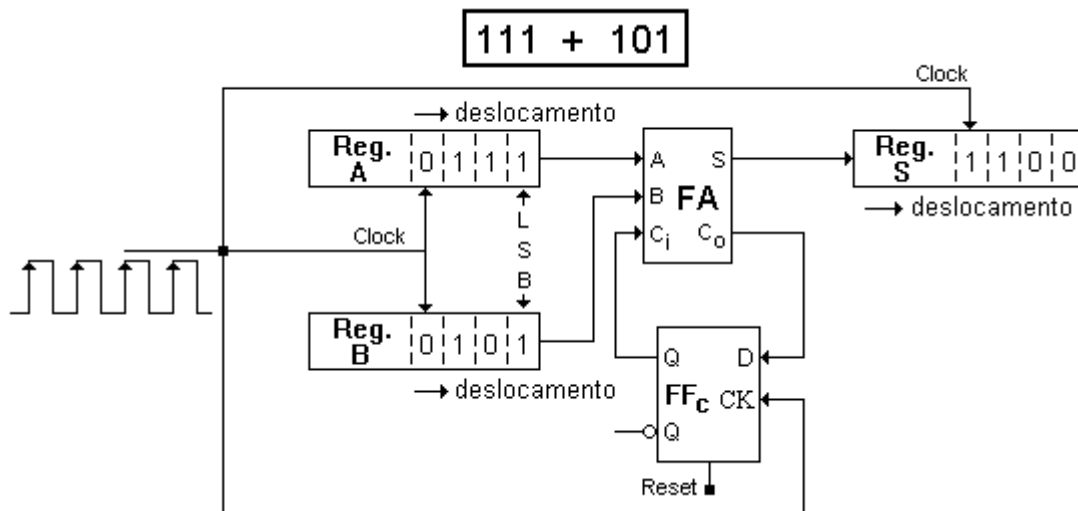
1. As entradas A e B do somador são provenientes de registradores de deslocamento, no caso, registradores A e B, cujo resultado é armazenado no registrador S, que também é um registrador de deslocamento;
2. Supondo que a primeira soma gere um transporte, este será armazenado no FF tipo D. O próximo comando será liberar o FF e o transporte será considerado na soma, através da entrada C_i ;
3. O comando tanto para o FF como para os registradores deve ser proveniente de um único gerador de clock;
4. Essa configuração recebe o nome de *somador série* pelo fato da operação ser executada serialmente (sequencialmente).

Para uma melhor compreensão do que foi exposto acima, passaremos a analisar um somador série, conforme mostra a figura a seguir, para a operação: $111 + 101$.

Alguns fatores devem ser considerados para a análise desse somador:

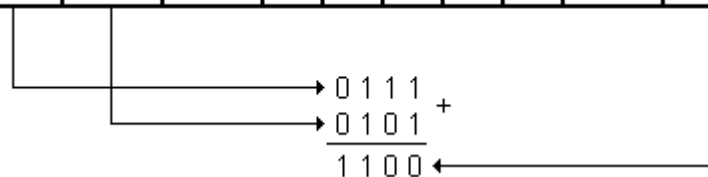
1. Os registradores A, B e S são constituídos de FFs tipo D, com deslocamento de dados na transição L-H do pulso de clock;
2. O FF acoplado a saída do módulo somador (FF_C) ou seja, FF de transporte, é provido de uma entrada reset, que se encontra inicialmente resetado ($Q = 0$).

3. LSB é designado como o bit da extrema direita para os registradores e os dados são deslocados da esquerda para a direita.



A tabela da verdade correspondente é mostrada a seguir:

| Clock | Reg. A LSB | Reg. B LSB | FF _c Saída Q | FA | | | | | FF _c Entr. D | Reg. S S |
|-------|---------------|---------------|----------------------------|----|---|----------------|---|----------------|----------------------------|-------------|
| | | | | A | B | C _i | S | C _o | | |
| 1ª | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 2ª | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 3ª | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 4ª | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |



CONSIDERAÇÕES GERAIS:

1. O somador completo, que pode ser utilizado em qualquer das colunas da soma, prevê uma entrada para o transporte C_i (do inglês, carry in).

2. Tanto o meio somador como o somador completo efetuam a soma de dois bits correspondentes à primeira e demais colunas.

Um número porém, compõe-se de diversos bits ou colunas e para se efetuar a soma serão necessários diversos somadores.

3. Para se efetuar a soma de diversos bits ou colunas que compõe um número, os somadores podem estar dispostos em paralelo, efetuando simultaneamente a soma desses diversos bits.

A quantidade de somadores portanto, é função do número ou da quantidade de bits que compõe esse número.

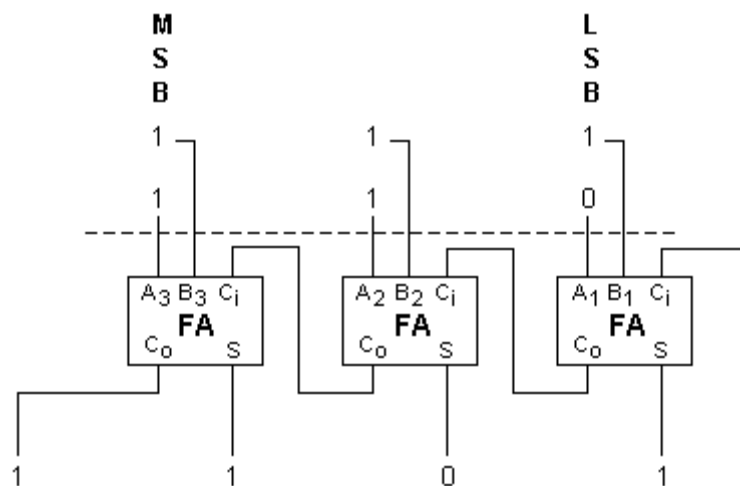
4. A soma dos diversos bits que constituem um número, pode também ser feita bit a bit no tempo ou sequencialmente, ou ainda um seguido ao outro, dito em série.

Para isso, basta um único somador FA que vai efetuando a soma e, fornecendo o resultado bit a bit.

Então são necessários alguns registradores de deslocamento e uma memória. Esse tipo somador é conhecido como série ou serial.

O somador paralelo tem a vantagem de ser mais rápido do que o somador serial, porém é mais complexo.

A figura a seguir mostra um somador paralelo de 3 bits, onde o resultado da soma aparece na saída S, com exceção do bit mais significativo que é a própria saída C_o.



Na soma de cada par de bits, gera-se a saída da soma em S e o bit de transporte C_o (carry out), que é também o bit de transporte do somador seguinte, que será somado com o par de bits desse somador e assim por diante.

II - SUBTRATORES:

Os subtratores são obtidos de forma análoga aos somadores, ou seja, a partir de módulos *meio subtratores* e *subtratores completos*.

A exemplo dos somadores os subtratores classificam-se em: série e paralelo.

A tabela abaixo nos mostra as regras gerais de subtração. Trata-se de um circuito meio subtrator, “HS “ (do inglês, Half-Subtractor).

| A | B | S = A - B | B |
|---|---|-----------|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

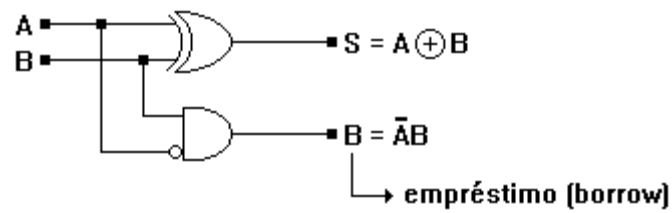
→ B = empréstimo (borrow)

Podemos deduzir então:

$S = A \oplus B$

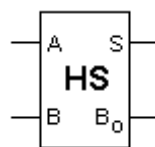
$B \text{ (empréstimo)} = \bar{A}B$

Logo, o circuito lógico correspondente é:



O circuito meio subtrator recebe esse nome por não considerar o empréstimo anterior, subtraindo apenas 2 bits.

Sua simbologia é mostrada na figura a seguir, onde B_0 é o empréstimo.



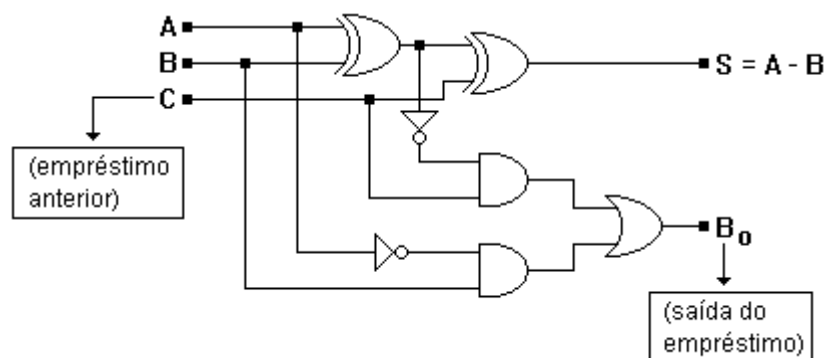
A tabela abaixo representa os casos possíveis de subtração, com 3 bits:

| A | B | C | $S = [A - B] - C$ | B |
|---|---|---|-------------------|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

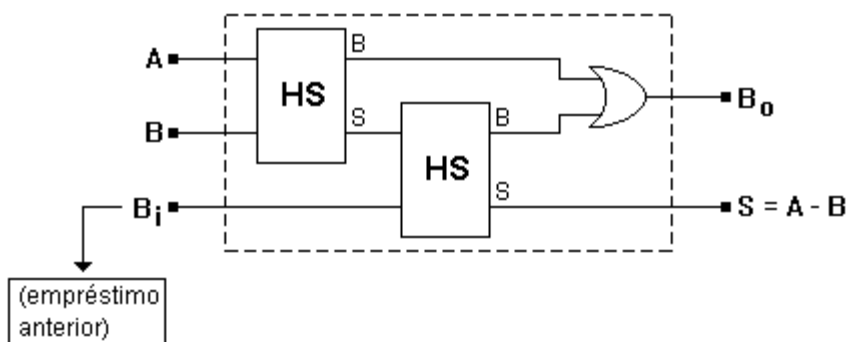
$$S = A \oplus B \oplus C$$

$$B = \overline{[C \oplus B]} + \bar{A}B$$

O circuito lógico é mostrado a seguir:

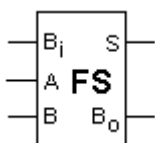


Observa-se então que o circuito lógico acima é exatamente a conexão de dois meio subtratores, conforme ilustrado abaixo:



O símbolo para o subtrator completo” FS “ (do inglês Full-Subtractor) é mostrado a seguir.

Observa-se que no subtrator completo leva-se em consideração o empréstimo anterior “ B_i “.



Similarmente ao somador paralelo, o subtrator paralelo é obtido pela conexão de blocos meio subtratores completos. Por exemplo:

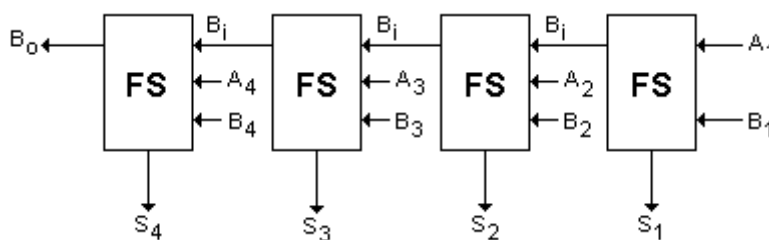
| | | | | |
|-------|-------|-------|-------|---------------|
| A_4 | A_3 | A_2 | A_1 | - |
| B_4 | B_3 | B_2 | B_1 | |
| S_4 | S_3 | S_2 | S_1 | <==== saídas |
| 4^a | 3^a | 2^a | 1^a | <==== colunas |

Na 1ª coluna $A_1 - B_1 = S_1$ não precisamos considerar o empréstimo, pois trata-se da 1ª operação.

Nas demais colunas:

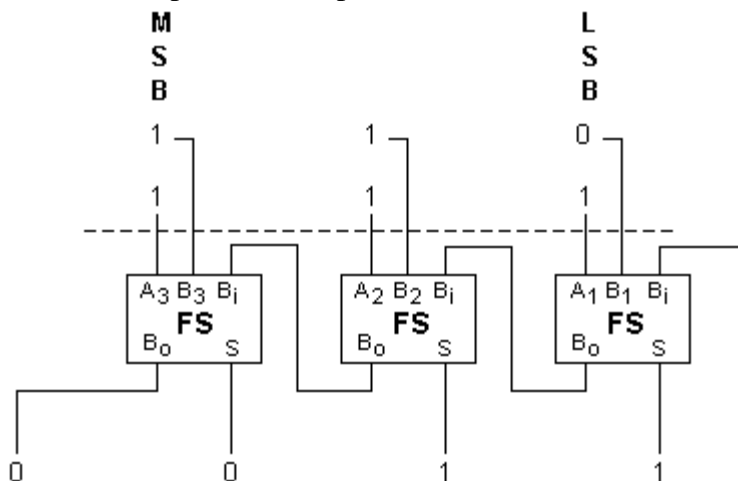
$$\begin{aligned}
 A_2 - B_2 &= S_2 \\
 A_3 - B_3 &= S_3 \\
 A_4 - B_4 &= S_4
 \end{aligned}$$

Como não sabemos os valores das variáveis e considerando que podemos necessitar de empréstimos, devemos utilizar o subtrator completo:



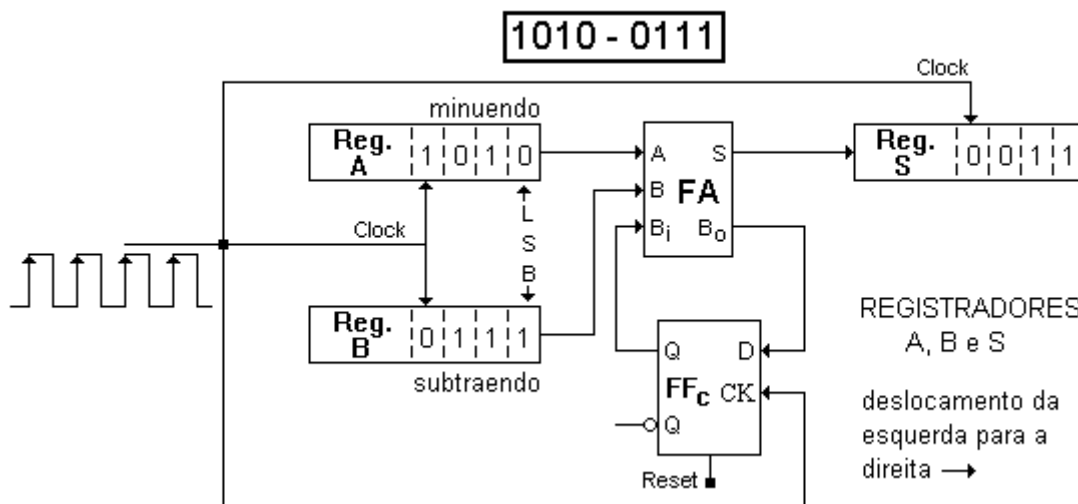
Um subtrator paralelo caracteriza-se por efetuar a subtração simultânea de diversos bits, composto de subtratores completos “FS” cujo número depende de quantos bits possua o maior dos números que se deseja efetuar a subtração.

Veja a seguir um subtrator paralelo completo de 3 bits:



Um subtrator serial pode ser construído de forma idêntica a um somador serial, onde são utilizados registradores de deslocamento e um subtrator completo.

O circuito abaixo ilustra um subtrator completo do tipo serial:



SOMADORES BCD

O somador BCD efetua somas de dígitos binários codificados em binário/decimal, ou mais propriamente, em BCD.

No somador binário, o processo é diferente pois é efetuada a soma dos dígitos binários e o resultado é binário.

Um somador BCD efetua a soma de 4 bits simultaneamente, fornecendo dessa forma além do resultado, o transporte correspondente (C_o).

A tabela a seguir mostra os dez dígitos codificados em binário (BCD) e das dezesseis combinações, seis não pertencem ao código BCD.

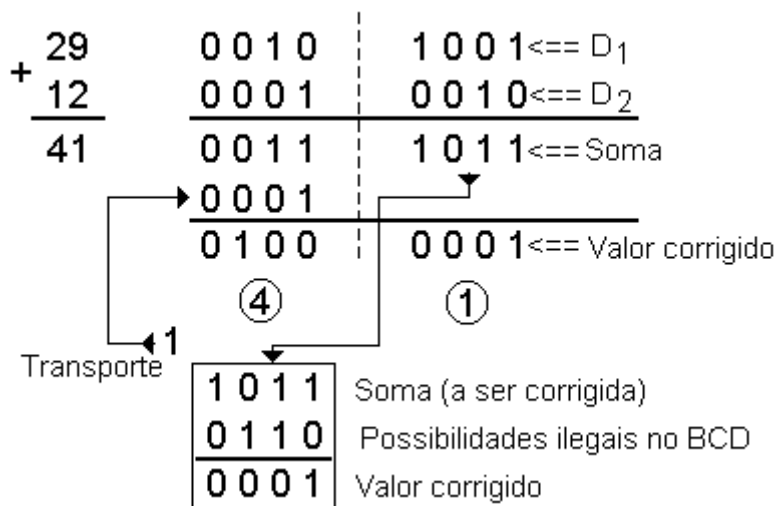
Lembrar que no código BCD8421 (Binary Coded Decimal) um número decimal é representado por 4 bits binários.

Desta forma, o número 3 decimal deve ser representado por 0011, o decimal 5 por 0101 e assim por diante.

| A | B | C | D | DECIMAL |
|---|---|---|---|---------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 1 | 1 | 7 |
| 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 1 | 9 |
| 1 | 0 | 1 | 0 | — |
| 1 | 0 | 1 | 1 | — |
| 1 | 1 | 0 | 0 | — |
| 1 | 1 | 0 | 1 | — |
| 1 | 1 | 1 | 0 | — |
| 1 | 1 | 1 | 1 | — |

← Condições não pertencentes ao código BCD

Podemos mostrar através de um exemplo, onde serão somados os números decimais 29 e 12 em binário, traduzidos pelos bits 11101 e 1100. No somador BCD entretanto, cada dígito decimal é traduzido por 4 bits binários:



A soma é feita dígito a dígito já convertidos em BCD. No exemplo acima foi necessária a correção no resultado de 1011 para 0001, uma vez que 1011 não pertence ao código BCD.

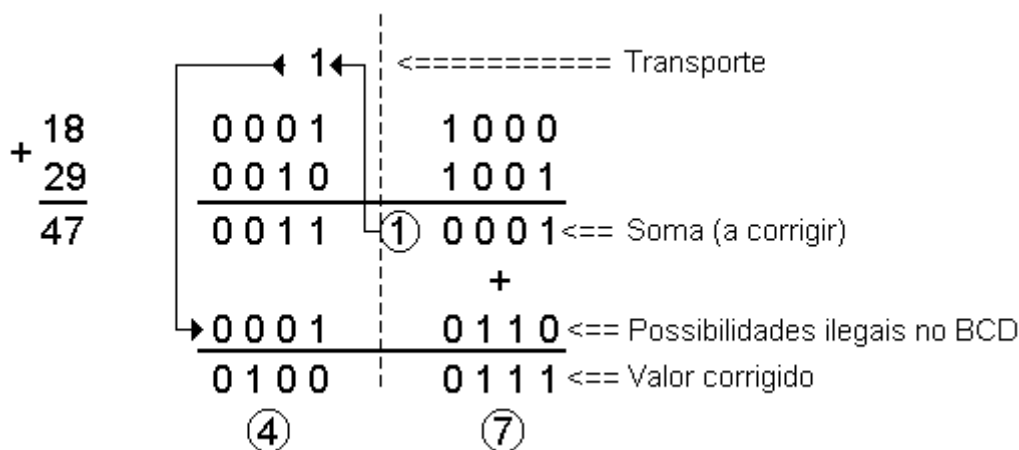
Conforme pode-se observar no exemplo, nessa correção também é gerado um dígito de transporte que coincidentemente é também 0001.

Em função disso o resultado da soma do segundo dígito também se altera.

Para corrigir o resultado da adição, no caso, dos dígitos D_1 e D_2 , adiciona-se 6 (decimal) ou 0110 (binário) ao resultado a ser corrigido sempre que o valor for superior ou igual a 10, por não pertencer ao código BCD.

Como na adição pode ocorrer o transporte para o algarismo mais significativo, embora esse resultado seja menor do que 10_{10} ou 1010_2 , também necessita de correção, pois se houve o transporte, significa que o resultado ultrapassou a 16^a combinação ou 1111_2 e portanto, é preciso efetuar uma correção desse resultado.

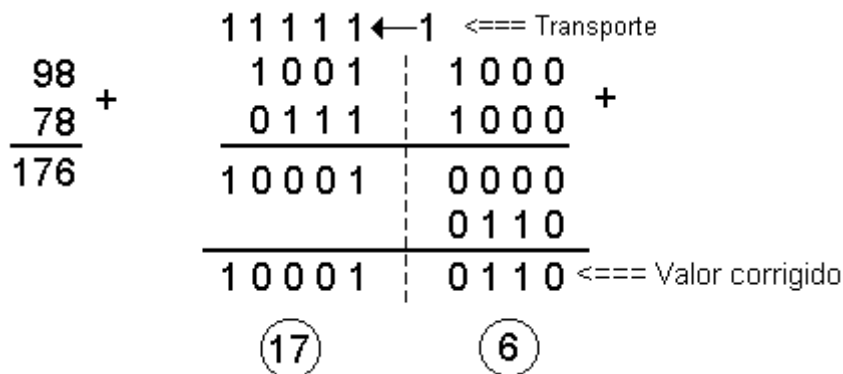
Vejamos outro exemplo, onde se efetua a soma dos números 18 e 19:



Verifica-se que o procedimento é idêntico. O transporte (carry) proveniente do dígito menos significativo (LSB), é somado posteriormente ao bit mais significativo (MSB).

O exemplo a seguir mostra a soma de $98_{10} + 78_{10}$, que corresponde a 176_{10} , onde o procedimento adotado é idêntico aos anteriores.

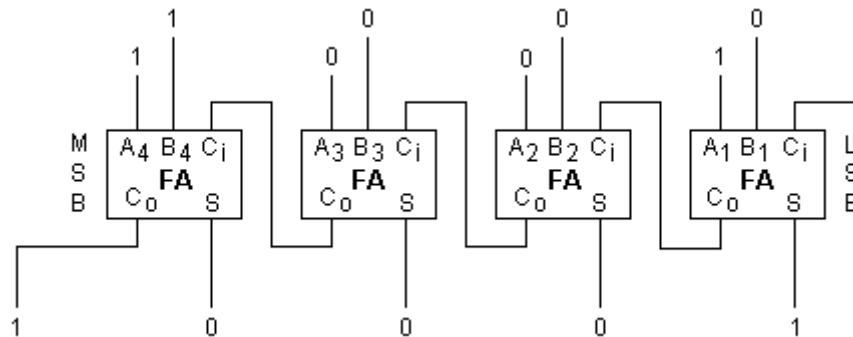
Observe que o transporte correspondente ao LSB é somado automaticamente ao MSB.



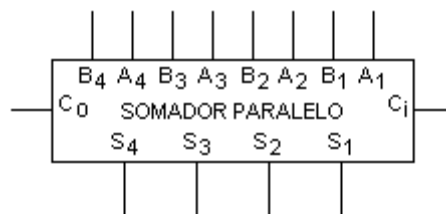
SOMADOR PARALELO BCD

Pelo que foi visto, o somador BCD efetua a soma simultânea de 4 bits binários, correspondente a um dígito decimal.

Assim, o somador paralelo BCD é composto de 4 somadores binários FA, dispostos em paralelo, conforme ilustra a figura a seguir:



O somador paralelo pode ainda ser representado por um único bloco, conforme ilustra a figura:



DETECÇÃO DE ERRO DE SOMA

Para a construção desse detector, deve-se elaborar uma tabela da verdade com as dezesseis possibilidades, conforme figura a seguir:

| DECIMAL | Saída das somas | | | | Dete- tor |
|---------|-----------------|----------------|----------------|----------------|--------------|
| | S ₄ | S ₃ | S ₂ | S ₁ | |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| - | 1 | 0 | 1 | 0 | 1 |
| - | 1 | 0 | 1 | 1 | 1 |
| - | 1 | 1 | 0 | 0 | 1 |
| - | 1 | 1 | 0 | 1 | 1 |
| - | 1 | 1 | 1 | 0 | 1 |
| - | 1 | 1 | 1 | 1 | 1 |

$$D = S_4\bar{S}_3S_2\bar{S}_1 + S_4\bar{S}_3S_2S_1 + S_4S_3\bar{S}_2\bar{S}_1 + S_4S_3\bar{S}_2S_1 + S_4S_3S_2\bar{S}_1 + S_4S_3S_2S_1$$

| | | | |
|---|---|----|----|
| 0 | 4 | 12 | 8 |
| 0 | 0 | 1 | 0 |
| 1 | 5 | 13 | 9 |
| 0 | 0 | 1 | 0 |
| 3 | 7 | 15 | 11 |
| 0 | 0 | 1 | 1 |
| 2 | 6 | 14 | 10 |
| 0 | 0 | 1 | 1 |

$$D = S_4S_3 + S_4S_2$$

É importante observar que o somador, na forma apresentada não efetua a correção do resultado, conforme já exposto anteriormente.

Para que isso aconteça torna-se necessário a construção de um circuito lógico que determine a necessidade ou não da correção e que, em caso positivo, adicione o algarismo 6₁₀ ou 0110₂ ao resultado, efetuando assim a segunda soma.

O detector deve atuar sempre que o resultado da soma, ou os 4 bits da soma apresentar um resultado ilegal no código BCD, ou sempre que ocorrer um transporte natural C₀.

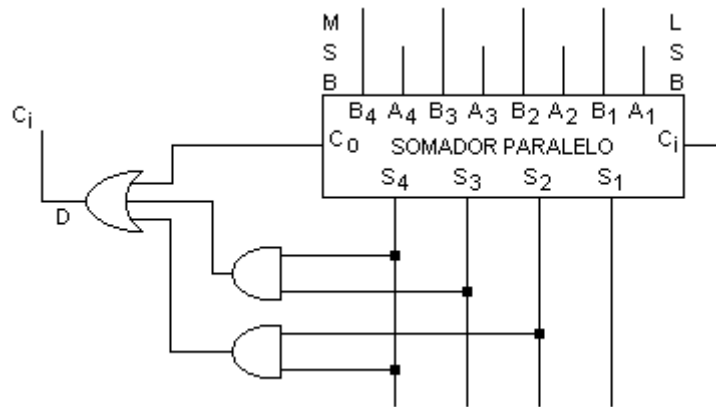
Observa-se que na área sombreada a saída D é igual a 1, e neste caso o detector deve atuar, segundo a expressão: $D = S_4S_3 + S_4S_2$, obtida através do M.K. Como o detector deve atuar também quando houver um transporte natural a expressão fica então:

$$D = S_4S_3 + S_4S_2 + C_0$$

Como o transporte de saída C₀ de um dígito é o transporte de entrada C_i do dígito subsequente, conclui-se que sempre que houver uma detecção D, ocorre um transporte de entrada C_i, ou seja:

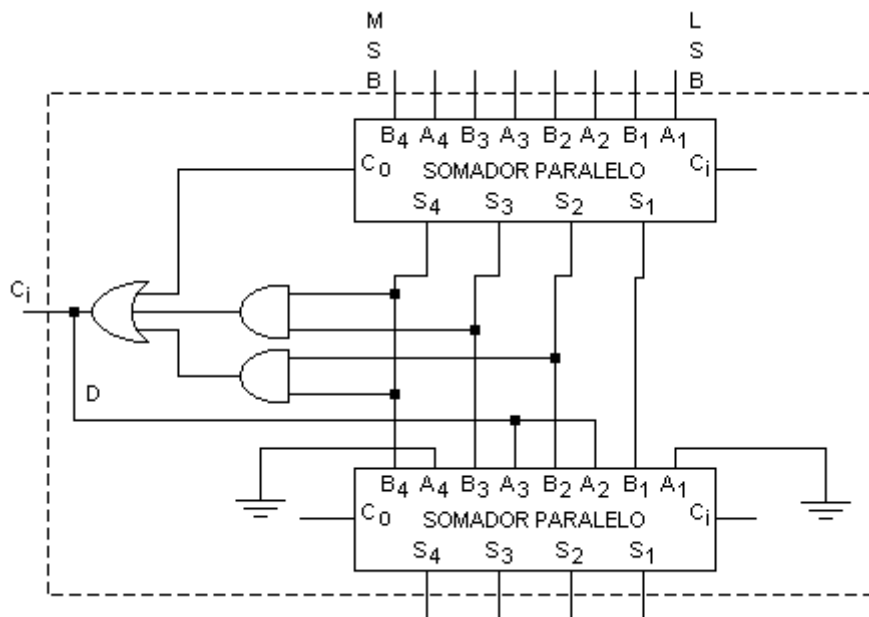
$$C_i = D = S_4S_3 + S_4S_2 + C_0$$

A figura a seguir ilustra um circuito detector:



Para a correção do resultado da soma em BCD, é necessário que o detector indique nível lógico 1 e que adicione 0110_2 ao resultado.

Podemos utilizar para isso outro somador paralelo para fazer essa operação quando for necessário. Veja a figura abaixo:



Neste caso, o próprio nível 1 do detector pode ser utilizado para compor o número.

Observe nas entradas do segundo somador paralelo (inferior), que temos a seguinte condição: $A_1 = A_4 = 0$ e $A_2 = A_3 = 1$. Portanto, o primeiro somador efetua a soma e o segundo junta esse resultado a correção.

A saída do somador de correção (segundo somador) não precisa ser conectada, pois será utilizada a própria saída do detector como entrada de transporte do somador seguinte, que no caso é a mesma saída utilizada para compor o número 0110_2 de correção.

É importante notar que quando não houver correção a ser efetuada, a saída do segundo somador será igual a do primeiro, pois o detector não atua e à saída do primeiro somador será adicionado o dígito 0.

$$\begin{array}{r}
 1000 \\
 1010 + \\
 \hline
 0010
 \end{array}$$

①

↓

EAC (End Around Carry)

3º passo: somar 1 ao resultado (que corresponde determinar o complemento de 2):

$$\begin{array}{r}
 0010 \\
 1 + \\
 \hline
 0011
 \end{array}$$

→ 3 (resultado final)

O transbordo obtido no segundo passo é denominado EAC (End Around Carry), que traduzindo significa: *transporte final ao redor*.

O bit EAC além de indicar se o resultado é positivo ou negativo, é somado ao resultado da operação: minuendo + complemento de 1 do subtraendo:

$$\begin{array}{r}
 1000 \\
 1010 + \\
 \hline
 0010 \\
 1 + \\
 \hline
 0011
 \end{array}$$

①

↓

EAC

Complemento de 9 e complemento de 10:

Analogamente aos complementos de 1 e de 2 no sistema binário, os complementos de 9 e de 10 são aplicáveis no processo de subtração no sistema decimal.

Exemplo: 835 - 676

Processo 1:

1º passo:

Achar o complemento de 10 do subtraendo:

$$\begin{array}{r}
 1000 \\
 676 - \\
 \hline
 324 \quad \text{--> complemento de 10 de 676}
 \end{array}$$

O complemento de 10 de um número decimal é a diferença entre esse número e uma potência de 10 imediatamente superior à sua mais alta potência.

No exemplo a mais alta potência de 10 de 676 é 2:

$$676 = 6 \times 10^2 + 7 \times 10^1 + 6 \times 10^0$$

← mais alta potência

Logo, sua potência de 10 imediatamente superior será:

$$2 + 1 = 3$$

Então o complemento de 10 do número 676 será:

$$10^3 - 676 = 1000 - 676 = 324$$

2º passo:

Somar o complemento de 10 de subtraendo ao minuendo:

$$\begin{array}{r} 835 \\ 324^+ \\ \hline 1159 \end{array}$$

3º passo:

Subtrair 1000 (valor considerado no primeiro passo, quando da obtenção do complemento de 10) do resultado encontrado:

$$\begin{array}{r} 1159 \\ 1000^- \\ \hline 0159 \end{array} \text{ --> resultado final}$$

Processo 2:

1º passo:

Achar o complemento de 9 do subtraendo decimal e somá-lo ao minuendo:

$$\begin{array}{r} 999 \\ 676^- \\ \hline 323 \end{array} \text{ --> complemento de 9 de 676}$$

O complemento de 9 de um número decimal é sua diferença para 9 dígito a dígito.

Daí:

$$\begin{array}{r} 835 \\ 323^+ \\ \hline 1158 \end{array}$$

①
↑
EAC

2º passo:

Somar o EAC ao resultado obtido:

$$\begin{array}{r} 158 \\ + \\ \underline{1} \\ 159 \end{array} \rightarrow \text{resultado final}$$

É importante acrescentar que casos em que o número de dígitos do subtraendo é menor do que o do minuendo, exigirão acréscimos de zeros ao subtraendo para a obtenção de seu complemento de 9.

Subtração BCD pelo complemento de 9:

Este método baseia-se na subtração decimal pelo complemento de 9.

Exemplo: 821 - 312

$$312 \xrightarrow{\text{complemento de 9}} 687$$

Teremos:

$$\begin{array}{r} 821 \\ + \\ 687 \\ \hline \textcircled{1} 508 \\ \text{EAC} \end{array} \quad \begin{array}{r} 508 \\ + \\ \underline{1} \\ 509 \end{array} \rightarrow \text{resultado final}$$

Em BCD, os passos são análogos.

1º) Somar o minuendo com o complemento de 9 do subtraendo:

$$\begin{array}{r} 821 \rightarrow 1000 \quad 0010 \quad 0001 \\ 687 \rightarrow 0110 \quad 1000 \quad 0111 \\ \hline 1110 \quad 1010 \quad 1000 \end{array} +$$

2º) Corrigir os valores não válidos em BCD antes de somar o EAC:

$$\begin{array}{r} 1000 \quad 0010 \quad 0001 \\ 0110 \quad 1000 \quad 0111 \\ \hline 1110 \quad 1010 \quad 1000 \\ \leftarrow 1 \quad 1 \quad 1 \\ \hline 0110 \quad 0110 \\ \hline \textcircled{1} 0101 \quad 0000 \\ \text{EAC} \end{array}$$

3º) Somar o EAC ao resultado corrigido:

$$\begin{array}{r}
 0101 \quad 0000 \quad 1000 \\
 \hline
 0101 \quad 0000 \quad 1001 \\
 \hline
 5 \quad 0 \quad 9
 \end{array}$$

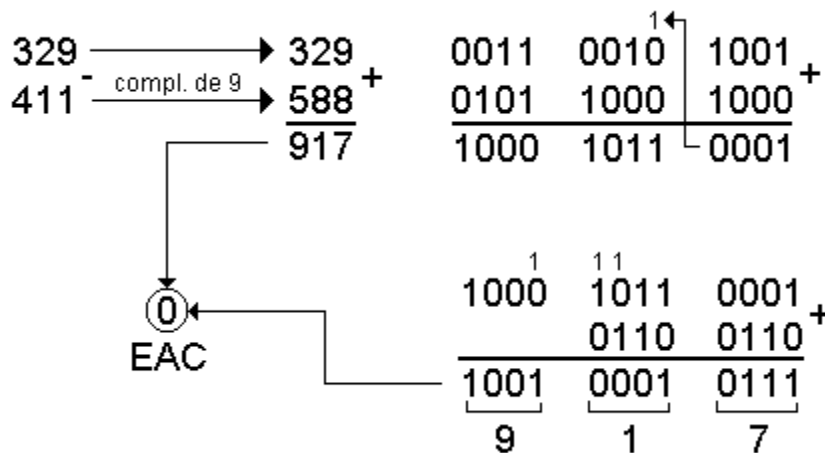
Subtração BCD com resultados negativos:

Casos em que o subtraendo é maior que o minuendo, exigirão nova complementação do resultado final.

Exemplo: 329 - 411

1º passo:

Efetuar a subtração normalmente:



Como não houve transbordo, isto significa que EAC = 0, e por isso não haverá necessidade de somá-lo ao resultado obtido. Com EAC = 0, significa também que o resultado é negativo.

2º passo:

Complementar novamente o resultado final obtido:

$$917 \xrightarrow{\text{compl. de 9}} -82$$

Em BCD:

$$\begin{array}{r}
 1001 \quad 0001 \quad 0111 \longrightarrow 1000 \quad 0010 \\
 \text{BCD} \qquad \qquad \qquad \qquad \qquad \text{- 82}
 \end{array}$$

Ou seja:

$$\begin{array}{r}
 1001 \quad 1001 \quad 1001 \\
 1001 \quad 0001 \quad 0111 \\
 \hline
 1000 \quad 0010 \\
 8 \quad 2
 \end{array}$$

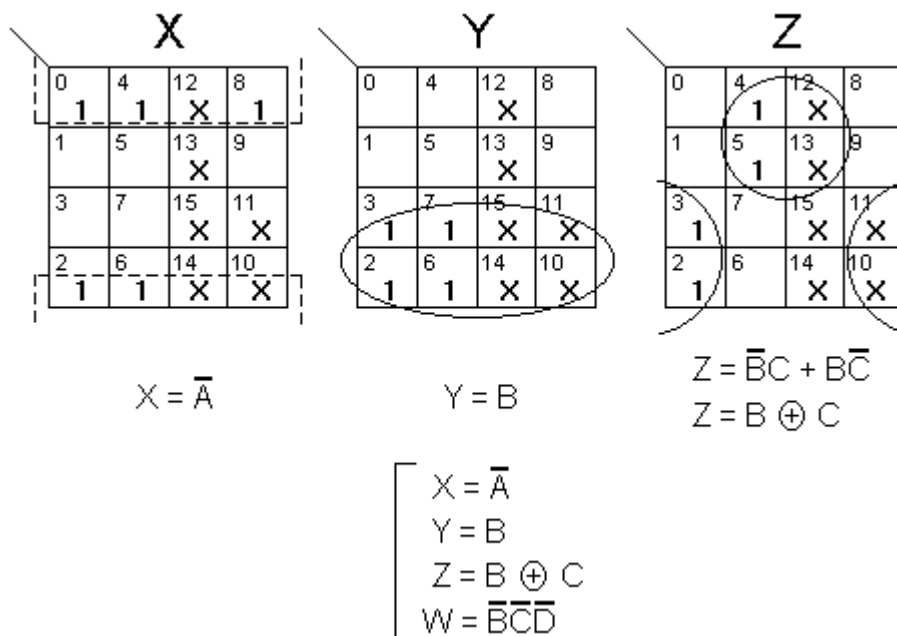
Gerador de complemento de 9:

Um gerador de complemento de 9 poder ser implementado a partir de portas lógicas. Para isso, constrói-se a tabela da verdade, conforme mostra a figura a seguir:

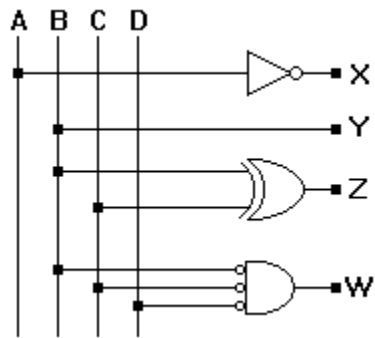
| DECIMAL | BCD | | | | COMPL. 9 | | | |
|---------|-----|---|---|---|----------|---|---|---|
| | D | C | B | A | W | Z | Y | X |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

$$\begin{aligned}
 X &= \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA + D\overline{C}\overline{B}\overline{A} \\
 Y &= \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA \\
 Z &= \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA \\
 W &= \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A = \overline{D}\overline{C}\overline{B}
 \end{aligned}$$

Observa-se que na referida tabela não foram incluídas as linhas que correspondem às condições ilegais no BCD, mas que deverão ser consideradas na simplificação através dos M.K.



Dada a expressão obtida através da simplificação, obtém-se o circuito abaixo:



Portanto, esse circuito recebe o nome de *circuito gerador de complemento de 9*.

Outra maneira de se obter o complemento de 9 é através do somador paralelo de 4 bits. Neste caso, usa-se o seguinte algoritmo:

- 1º) Obter o complemento de 1;
- 2º) Somar o complemento de 1 com uma constante igual 1010₂.

Exemplo: achar o complemento de 9 de 0011

$$0011 \xrightarrow{\text{complemento de 1}} 1100$$

Soma-se então 1100 a uma constante 1010:

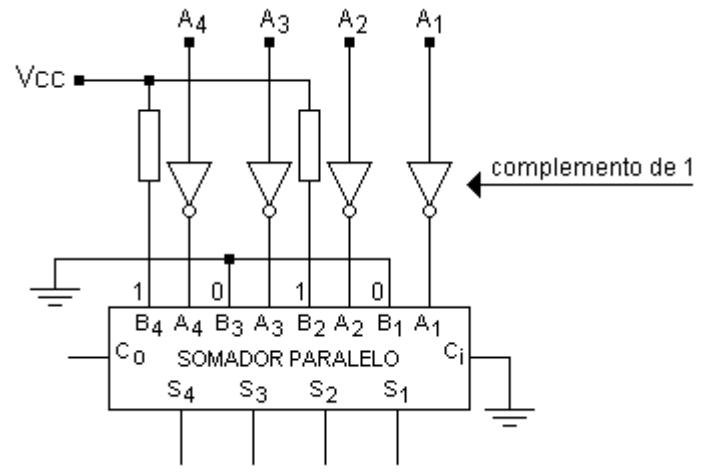
$$\begin{array}{r} 1100 \\ 1010 \\ \hline 10110 \end{array}$$

①
↓ desprezar

Daí:

$$0011 \xrightarrow{\text{complemento de 9}} 0110$$

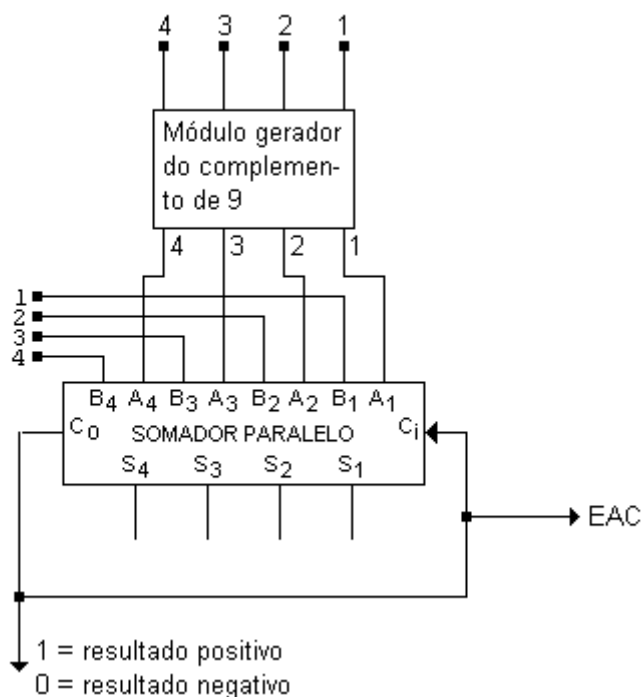
Teremos então a seguinte configuração para o somador paralelo:



Que corresponde a tabela abaixo:

| Dec | C _i | A ₄ | A ₃ | A ₂ | A ₁ | B ₄ | B ₃ | B ₂ | B ₁ | S ₄ | S ₃ | S ₂ | S ₁ | C _o |
|-----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 3 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 4 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 5 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 6 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 7 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 9 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |

O bit EAC é obtido pela realimentação da saída C_o para a entrada C_i.

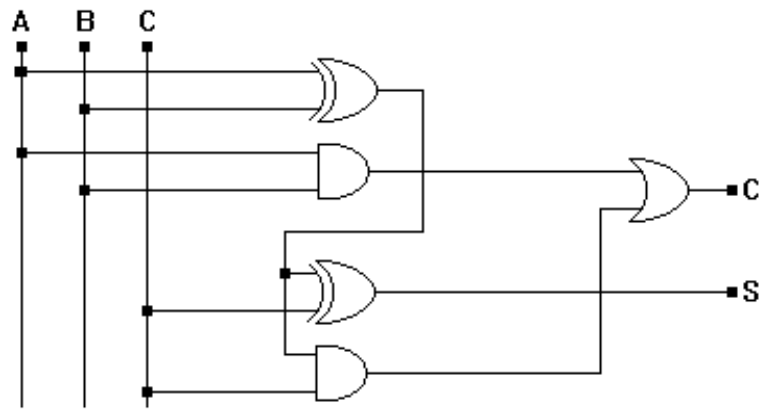


PARTE PRÁTICA

MATERIAIS NECESSÁRIOS:

- 1 - CI 7404
- 1 - CI 7408
- 1 - CI 7432
- 1 - CI 7483
- 1 - CI 7486
- 1 - Multímetro analógico ou digital
- 1 - Display 7 segmentos, com decodificador
- 1 - Treinador lógico

1- Monte o circuito da figura abaixo:



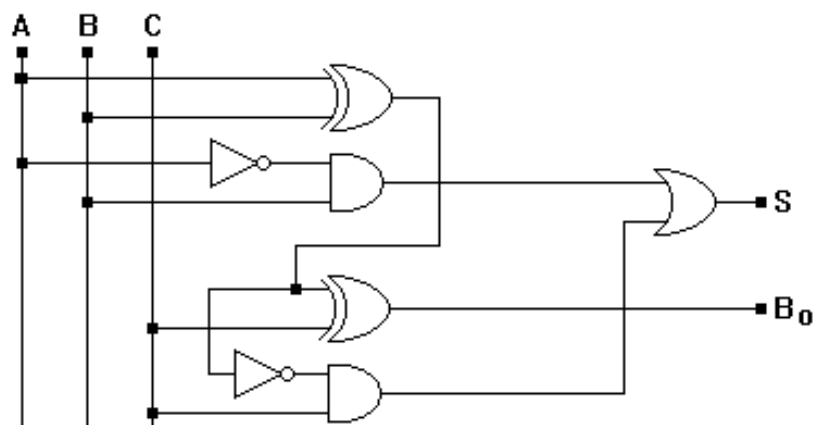
2 - Complete a tabela 1. Monitore as saídas C e S através de leds (use os indicadores de níveis lógicos do treinador lógico).

TABELA 1

| A | B | C | S | C |
|---|---|---|---|---|
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

3 - Qual é a denominação desse circuito?

4 - Monte o circuito abaixo:



5 - Complete a tabela 2, monitorando as saídas S e B₀ com leds.

TABELA 2

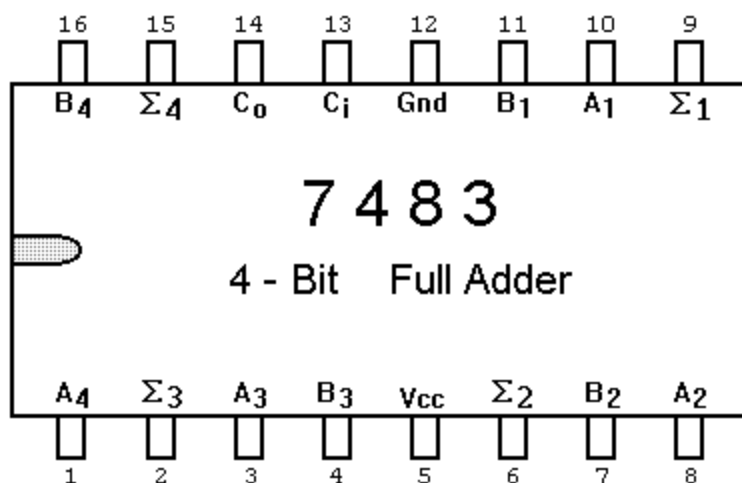
| A | B | C | S | B ₀ |
|---|---|---|---|----------------|
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

6 - Qual é a denominação desse circuito?

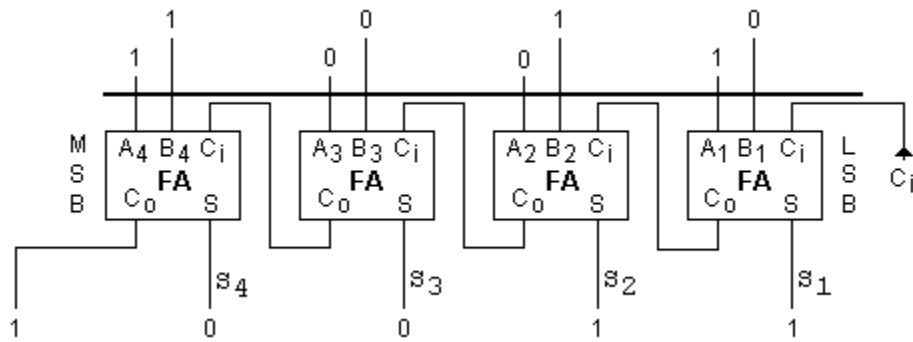
7 - Cite algumas características importantes, que diferenciam um meio somador (HA) de um somador completo (FA).

8 - O que é um somador binário? Qual é sua principal utilização?

9 - Alimente corretamente o CI 7483 (somador completo), conforme pinagem mostrada abaixo:



10 - Some os números 1010 e 1001, colocando-os na entrada do somador, conforme ilustra a figura a seguir (o resultado esperado é mostrado nas saídas S₄ a S₁ e C₀).



11 - Monitore as saídas do somador (Σ_1 a Σ_4 , que correspondem a S_1 a S_4) com um display de 7 segmentos e respectivo decodificador.

Monitore também as saídas C_o de cada somador (use os leds indicadores de níveis lógicos do treinador lógico), nas seguintes condições: $C_i = 0$ e $C_i = 1$ (primeiro somador). Complete a tabela abaixo:

TABELA 3

| A_1 | A_2 | A_3 | A_4 | B_1 | B_2 | B_3 | B_4 | C_{o4} | C_{o3} | C_{o2} | C_{o1} | C_i | Dec | Bin |
|-------|-------|-------|-------|-------|-------|-------|-------|----------|----------|----------|----------|-------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

12 - Seguindo os mesmos procedimentos anteriores, efetue agora a soma de:

- a) 0110 + 0010
- b) 0100 + 0011
- c) 1111 + 1110
- d) 0111 + 0010
- e) 0001 + 0001

Complete então as tabelas 4, 5, 6, 7 e 8.

TABELA 4

| A_1 | A_2 | A_3 | A_4 | B_1 | B_2 | B_3 | B_4 | C_{o4} | C_{o3} | C_{o2} | C_{o1} | C_i | Dec | Bin |
|-------|-------|-------|-------|-------|-------|-------|-------|----------|----------|----------|----------|-------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 5

| A_1 | A_2 | A_3 | A_4 | B_1 | B_2 | B_3 | B_4 | C_{o4} | C_{o3} | C_{o2} | C_{o1} | C_i | Dec | Bin |
|-------|-------|-------|-------|-------|-------|-------|-------|----------|----------|----------|----------|-------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 6

| A_1 | A_2 | A_3 | A_4 | B_1 | B_2 | B_3 | B_4 | C_{o4} | C_{o3} | C_{o2} | C_{o1} | C_i | Dec | Bin |
|-------|-------|-------|-------|-------|-------|-------|-------|----------|----------|----------|----------|-------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 7

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

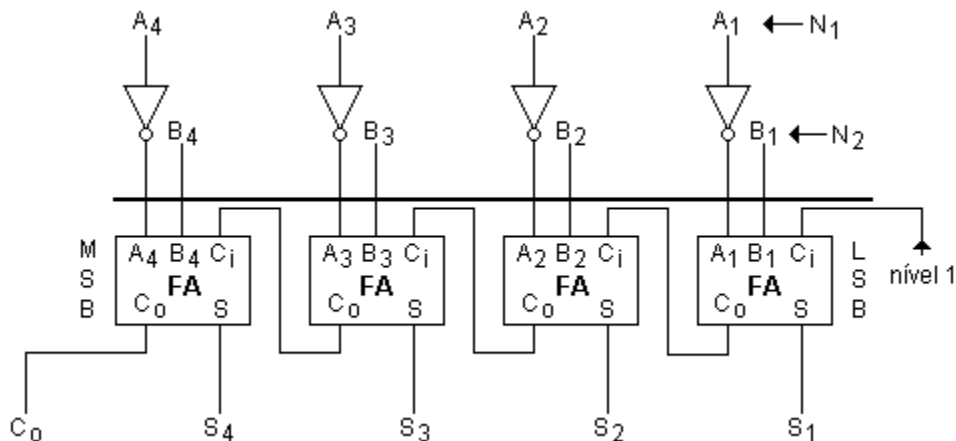
TABELA 8

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

13 - Se a soma exceder 9, verifique os erros no resultado. Apresente conclusões.

14 - Caracterize então, segundo exposto no item acima, a diferença entre uma soma em binário e uma soma em BCD.

15- Faça as modificações necessárias no CI 7483 e monte o circuito a seguir (Subtrator Binário Paralelo).



O subtrator paralelo, soma um número N_1 em binário com até 4 bits, com o complemento de 2 do outro N_2 . O complemento de 2 conforme visto anteriormente, é o complemento de 1 do número mais 1.

O mais 1 é efetuado colocando-se nível lógico 1 na entrada do primeiro somador FA.

Monitore as saídas S_4 a S_1 com display de 7 segmentos e respectivo decodificador.

Monitore as saídas C_0 e a entrada C_i do primeiro somador, usando os indicadores de níveis lógicos do treinador lógico.

Proceda então as seguintes subtrações:

- a) 1001 - 0110
- b) 1000 - 0101
- c) 0101 - 0011
- d) 0011 - 0001

Complete então as tabelas 9, 10, 11 e 12.

TABELA 9

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 10

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 11

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

TABELA 12

| A ₁ | A ₂ | A ₃ | A ₄ | B ₁ | B ₂ | B ₃ | B ₄ | C ₀₄ | C ₀₃ | C ₀₂ | C ₀₁ | C _i | Dec | Bin |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|----------------|-----|-----|
| | | | | | | | | | | | | 0 | | |
| | | | | | | | | | | | | 1 | | |

16 - Projete um circuito somador BCD, utilizando o CI 7483, com correção de soma, todas as vezes que o resultado apresentar condição ilegal no BCD.

Utilize para isso 2 CIs 7483 e circuito detector com portas lógicas.