

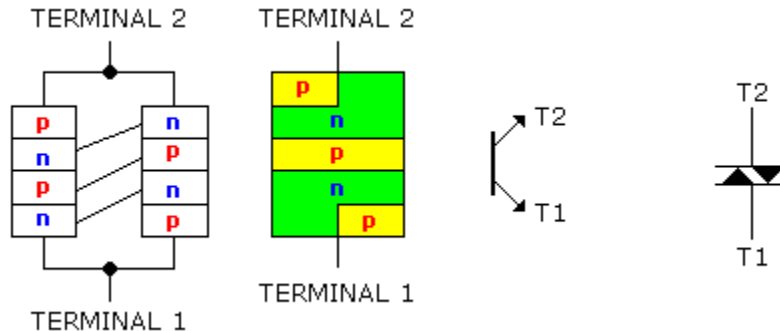
TIRISTORES

Dispositivos especiais: DIAC, SCS e PUT

DIAC – Diode for Alternating Current

O DIAC tem uma estrutura semelhante a do TRIAC, exceto que, não possui o terminal do gate (da abreviação inglesa DIODE AC)

Basicamente possui cinco camadas P e N. A figura a seguir ilustra sua estrutura interna e respectivos símbolos.



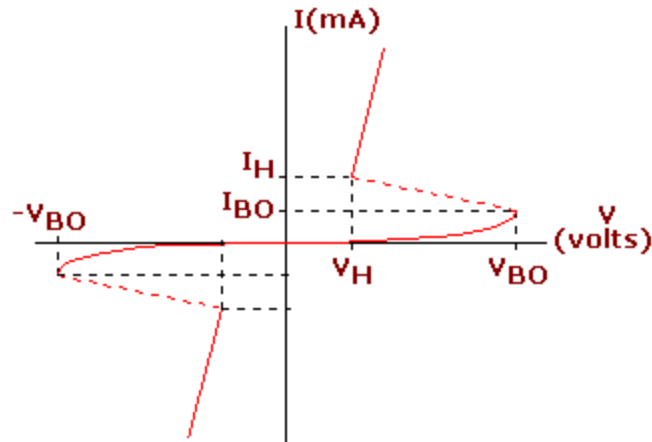
O termo anodo e catodo não se aplica ao DIAC, pois seus terminais são identificados como terminal 2 e terminal 1.

Cada terminal opera como anodo ou catodo, de acordo com a polaridade da tensão aplicada.

Se T1 for mais positivo do que T2, a região N é ignorada e T1 operará como anodo; evidentemente T2 terá a região P ignorada e operará como catodo.

Invertendo-se as polaridades, T1 passará a ser o catodo e T2 o anodo.

A figura a seguir mostra a curva característica de um DIAC.



V_{BO} é a tensão de disparo do DIAC (break-over) e I_{BO} é a corrente de disparo.

Observa-se na curva característica uma simetria entre os valores positivos e negativos de tensão (1º e 3º quadrantes).

I_H e V_H representam a corrente de manutenção e tensão de manutenção respectivamente. Abaixo desses valores o DIAC entra no estado de não condução.

Acima de I_H temos a operação permitida para o DIAC, onde o fabricante especifica como I_P ou I_{FRM} que é a corrente de pico máxima que ele pode suportar durante a condução (normalmente especificada para pulsos de duração da ordem de μs).

A figura a seguir mostra um DIAC BR100/03 fabricado pela Philips, com encapsulamento SOD27.



Especificações:

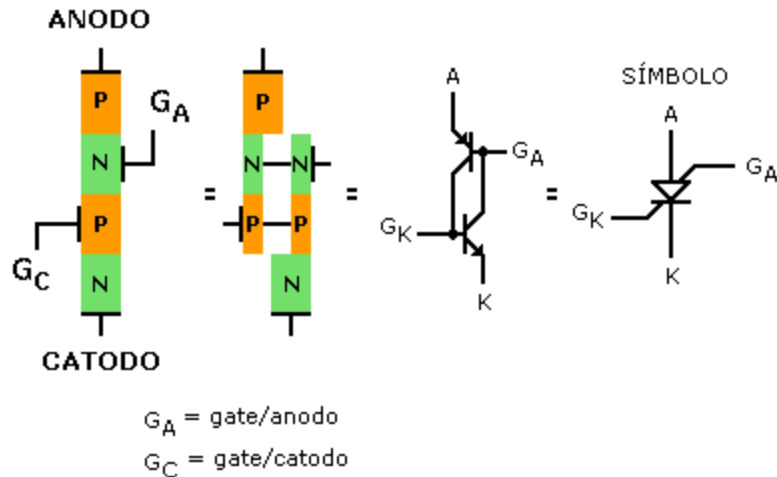
$$I_{FRM} = 2A$$

$$V_{BO} = 28 \text{ a } 36V$$

$$I_{BO} = 50\mu A$$

SCS – Silicon Controlled Switch

A chave controlada de silício, da mesma forma que o SCR, possui quatro camadas PNP, cujas características são idênticas, exceto por possuir dois gates, fazendo com que todas as regiões sejam acessíveis através de um circuito externo.



O SCS tem duas vantagens sobre o SCR.

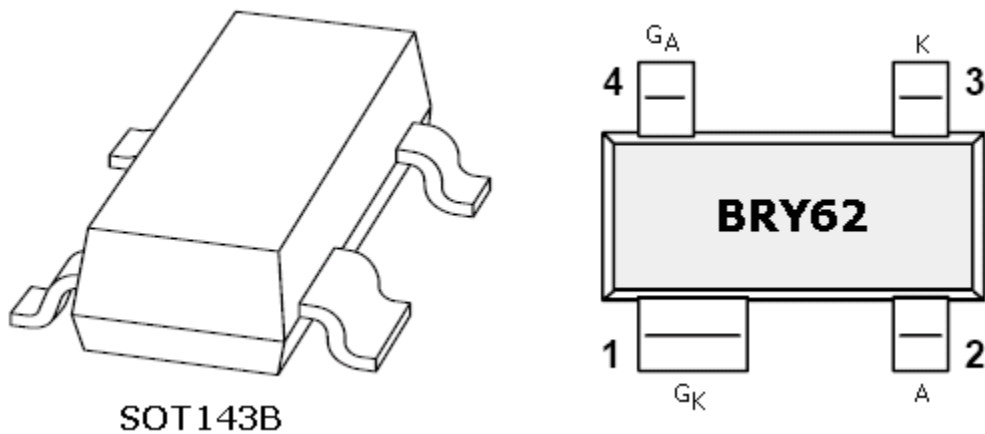
Primeira, em virtude das duas regiões de gate serem acessíveis, elas podem ser polarizadas de forma independente.

Segunda, uma vez que pode haver um controle das duas junções (uma N e outra P), pode-se efetivamente desligar o SCS sem a necessidade de reduzir a tensão ou corrente de trabalho. Desta forma o SCS é efetivamente uma chave eletrônica.

Gate/anodo: liga-desliga o dispositivo
Ligar – pulso negativo
Desligar – pulso positivo

O gate/catodo opera de forma idêntica ao SCR.

A figura a seguir mostra o aspecto do SCS BRY62 fabricado pela Philips



Valores típicos:

$$I_{GA} = 10\text{mA}$$

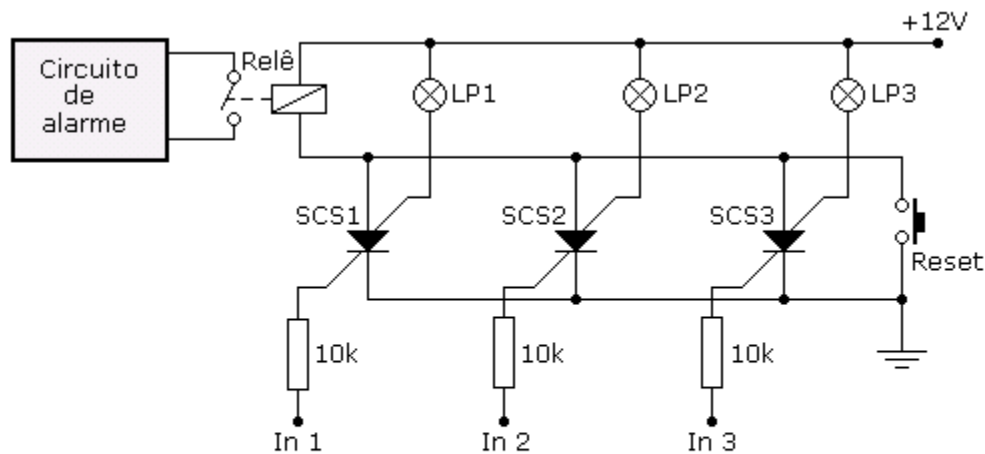
$$I_{GK} = 1\text{mA}$$

$$V_{AK} = 70\text{V}$$

Vantagens do SCS sobre o SCR: tempo de comutação menor (da ordem de 1 a 10 μ s); situação de disparo mais previsível; melhor sensibilidade.

Desvantagens: menor corrente, potência e tensão (tensão típica da ordem de 100V; corrente típica da ordem de 10 a 300mA e potência típica da ordem de 100 a 500mW).

CIRCUITO PRÁTICO: ALARME 1



Resistores: 1/4W

Relê: bobina 300 ohms

SCS: General Electric 3N60 ou similar

Lâmpadas piloto: 12V / 50mA

As entradas (In1 a In3) poderão ser acionadas por qualquer sistema que cause uma perturbação, como por exemplo, sensor luminoso, sensor de aproximação, reed-switch, etc.

O interruptor "push-button" RESET (NA – normalmente aberto), restabelece a condição inicial do circuito, colocando os terminais A-K em curto, levando o SCS a condição de não condução. As lâmpadas piloto (LP1 a LP3) permitirão localizar a entrada que disparou o SCS.

Outra forma de levar o SCS ao corte é a aplicação de um pulso positivo no gate/anodo (G_A), ou ainda, através de um dispositivo externo tornar a resistência A-K do SCS bem próxima de zero, conforme ilustram as figuras a seguir.

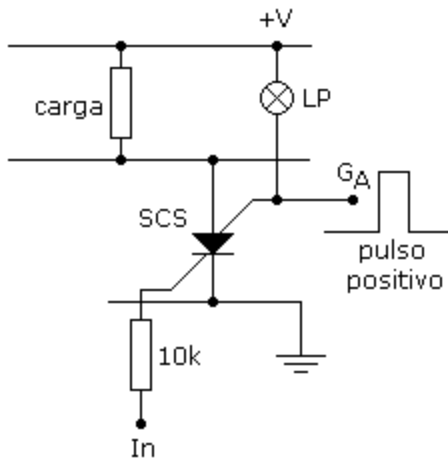


FIGURA 1

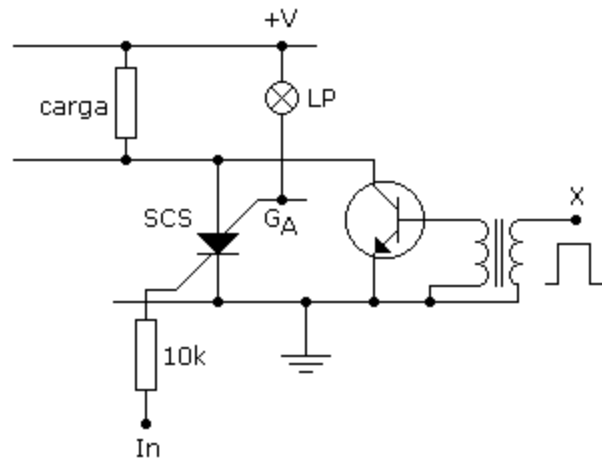


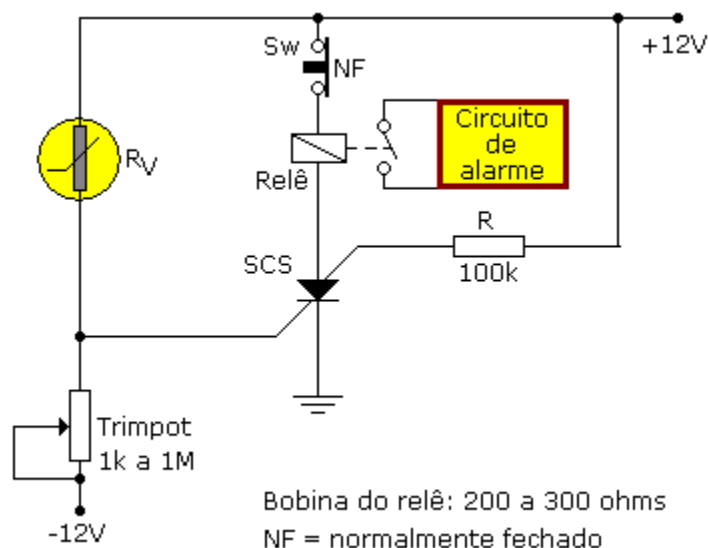
FIGURA 2

Na figura 1, um pulso positivo externo aplicado ao Gate/Anodo leva o SCS a condição de não condução.

Na figura 2, um pulso positivo é aplicado na base do transistor, através de um transformador isolador, levando-o a saturação; isto faz com que a resistência entre coletor e emissor seja próxima de zero (condição de saturação), interrompendo a condução do SCS, uma vez que a resistência entre A-K cai praticamente a zero pois esses terminais estão em paralelo com os terminais C-E do transistor.

CIRCUITO PRÁTICO: ALARME 2

O circuito a seguir mostra um alarme sensível a um dispositivo de coeficiente negativo (NTC, LDR, etc.)



- 1) O potencial no gate/catodo é determinado pelo divisor de tensão R_V e trimpot;

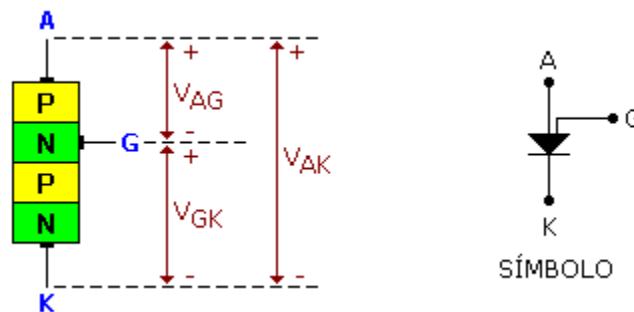
- 2) O potencial no gate/catodo será zero quando a resistência R_V for igual a resistência do trimpot, pois ambos possuem 12V em seus terminais (+12V e -12V);
- 3) Se R_V diminui o SCS ficará diretamente polarizado, levando-o à condução disparando o relê;
- 4) O resistor de 100k Ω reduz a possibilidade de disparo acidental devido ao fenômeno conhecido como *rate effect* (capacitância entre gates), pois um transiente de alta frequência poderá provocar o disparo.
- 5) A interrupção do alarme é feita através de Sw (push-button normalmente fechado).

PUT – Programmable Unijunction Transistor

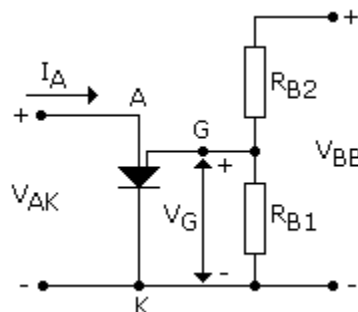
O PUT é um dispositivo de quatro camadas PNP, que possui um anodo, um catodo e um gate.

Sua curva característica é semelhante a do UJT, porém não opera na região de resistência negativa.

Veja a seguir sua estrutura básica e simbologia.



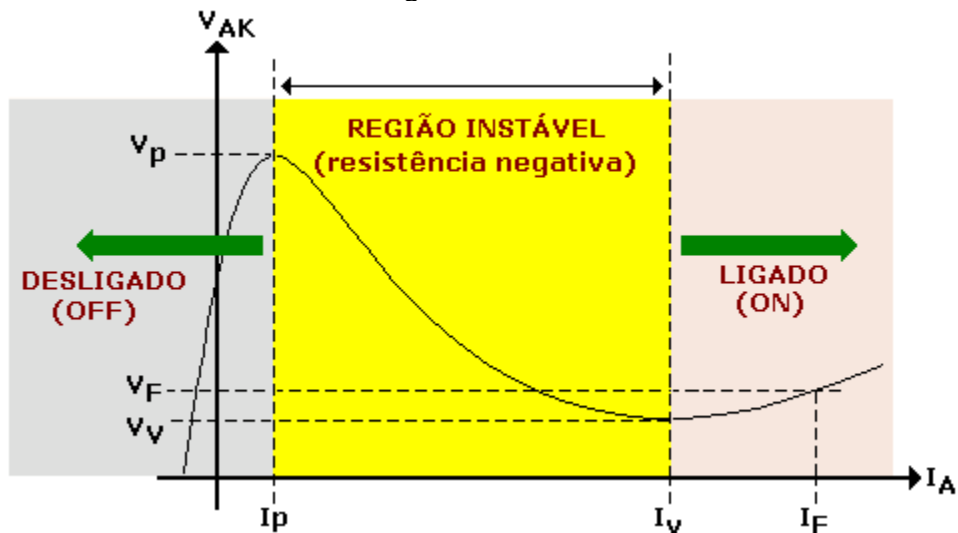
O circuito básico equivalente é mostrado a seguir.



R_{BB} , η e V_p podem ser controlados através de R_{B1} , R_{B2} e da tensão V_{BB} .

$$V_G = \frac{R_{B1}}{R_{B1} + R_{B2}} \cdot V_{BB} = \eta V_{BB} \quad \text{onde: } \eta = \frac{R_{B1}}{R_{B1} + R_{B2}}$$

Veja sua curva característica a seguir.



V_F e I_F = tensão e corrente de manutenção respectivamente
Nestas condições: $V_F = V_{AK}$.

O PUT não permanece no estado instável ou de resistência negativa (-R)

<p>ESTADO LIGADO: I (corrente) baixa V (tensão) entre 0 e V_p</p>	<p>ESTADO DESLIGADO: I (corrente) $\geq I_v$ V (tensão) $\geq V_v$</p>
---	---

NO DISPARO:

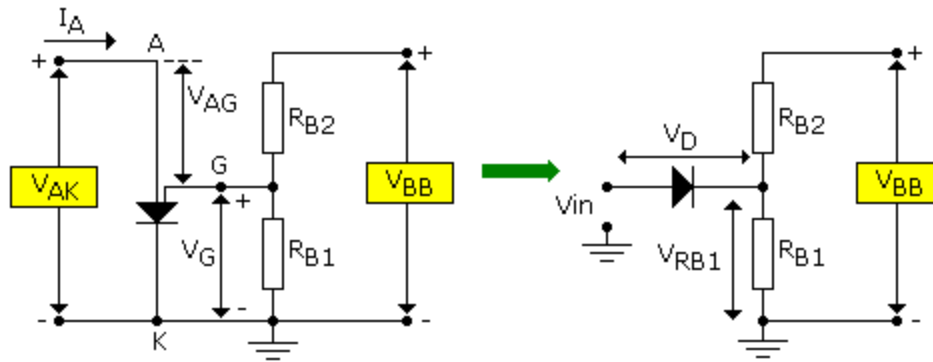
$$V_p = \eta V_{BB} + V_D \quad \text{onde } V_D \cong 0,7V$$

$$V_p = \eta V_{BB} + V_D = \eta V_{BB} + V_{AG}$$

$$V_p = \eta V_{BB} + 0,7V$$

Porém, $V_G = \eta V_{BB}$

Assim: $V_p = V_G + 0,7V$



OBSERVAÇÕES:

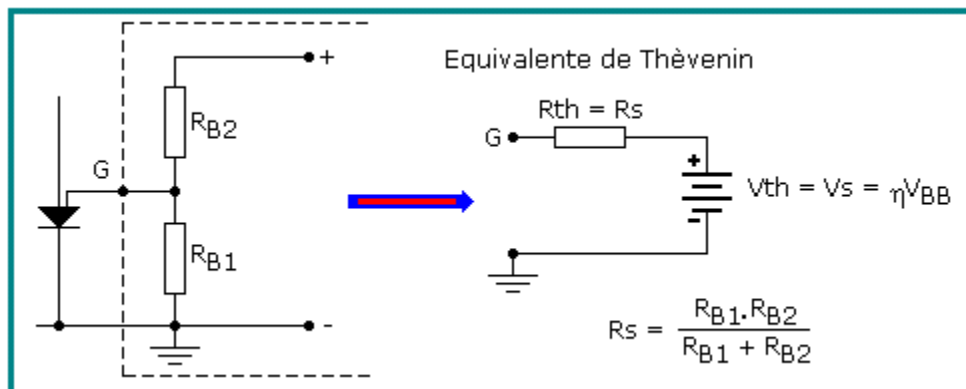
- 1) Lembrar que o PUT é formado por quatro camadas PNPN, daí o aparecimento da tensão V_D na junção PN (diodo) entre anodo e gate.
- 2) A tensão V_G é a tensão nos extremos de R_{B1}
- 3) Portanto, $V_G = V_{RB1}$
- 4) A tensão V_D é a própria tensão V_{AG}

RESUMINDO:

$$V_G = \frac{R_{B1}}{R_{B1} + R_{B2}} \cdot V_{BB} = \eta V_{BB}$$

$$V_P = \eta V_{BB} + V_{AG}$$

Enquanto que para o UJT R_{B1} e R_{B2} são inacessíveis, uma vez que estes representam os contatos da base, para o PUT estes são externos ao circuito, permitindo um ajuste de “ η ” e portanto de V_G .



OPERAÇÃO BÁSICA:

O PUT não mudará de estado até que a tensão V_p definida por V_G e V_D seja alcançada ($V_p = V_G + V_D$).

O nível de corrente até que I_p seja alcançada é muito baixo, resultante de um circuito equivalente aberto, onde a resistência tende ao infinito.

$$R = \frac{V \text{ (alta)}}{I \text{ (baixa)}} = \text{resistência alta}$$

Quando V_p for alcançada o PUT comutará para o estado ligado através da região instável (resistência negativa), resultando em uma resistência muito baixa, uma vez que:

$$R = \frac{V \text{ (baixa)}}{I \text{ (alta)}} = \text{resistência baixa}$$

Estando o dispositivo ligado, a retirada de V_G não desligará o mesmo, a não ser que V_{AK} caia bastante reduzindo a tensão e corrente de manutenção (V_F e I_F).

EXEMPLO: Determinar R_{B1} e V_{BB} para um PUT de Si, sabendo-se que:

$$\begin{aligned}\eta &= 0,8 \\ V_p &= 10,3\text{v} \\ R_{B2} &= 5\text{k}\Omega\end{aligned}$$

$$\eta = \frac{R_{B1}}{R_{B1} + R_{B2}} \rightarrow \text{onde } \eta = 0,8$$

$$0,8(R_{B1} + R_{B2}) = R_{B1}$$

$$0,8R_{B1} + 0,8R_{B2} = R_{B1} \rightarrow 0,2R_{B1} = 0,8R_{B2}$$

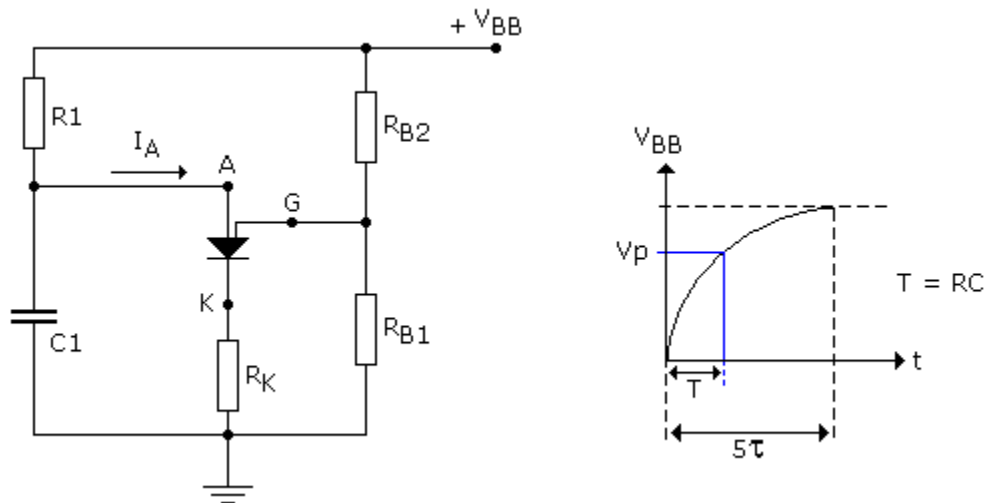
$$R_{B1} = \frac{0,8}{0,2}R_{B2} = 4R_{B2} \rightarrow \text{logo: } R_{B1} = 4(5\text{k}\Omega) = 20\text{k}\Omega$$

$$V_p = \eta V_{BB} + V_D$$

$$10,3 = (0,8)(V_{BB}) + 0,7$$

$$9,6 = 0,8V_{BB} \rightarrow V_{BB} = \frac{9,6}{0,8} = 12\text{V}$$

OSCILADOR DE RELAXAÇÃO COM PUT:



O tempo para atingir o disparo é dado por:

$$T \cong RC \log_e \left(\frac{V_{BB}}{V_{BB} - V_p} \right) \text{ ou}$$

$$T \cong RC \log_e \left(1 + \frac{R_{B1}}{R_{B2}} \right)$$

onde: \log_e = logaritmo neperiano¹

Quando o circuito é ligado C1 carrega-se até V_p , pois não há até então, corrente nesse ponto. O corrente I_A é decorrente da carga do capacitor, onde:

$$V_C = V_A \text{ ou seja, a tensão no capacitor encontra-se teoricamente presente no anodo do PUT}$$

Quando a tensão no capacitor C1 for igual a V_p , ocorrerá o disparo, havendo uma corrente I_p através do PUT.

Se R1 for muito grande a corrente I_p será pequena e não haverá o disparo.

No ponto de transição:

$$I_p R1 = V_{BB} - I_p$$

¹ Relativo a John Neper ou Napier (1550-1617), matemático escocês, inventor dos logaritmos, ou às suas criações no terreno da matemática.

$$R(\max) = \frac{V_{BB} - V_p}{I_p}$$

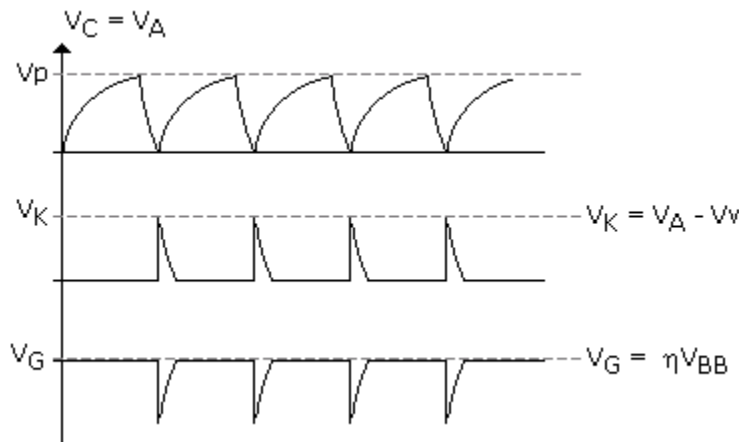
Conclui-se então que qualquer resistor maior do que $R(\max)$ não disparará o PUT.

O valor de $R1$ deve ser tal que I_p seja menor do que I_v para que ocorra a oscilação, isto é: *O PUT deve entrar na região instável e retornar ao estado desligado.*

Assim:

$$R(\min) = \frac{V_{BB} - V_v}{I_v}$$

Teremos então como regra: $R(\min) < R1 < R(\max)$



A curva acima mostra a carga do capacitor $C1$ através de $R1$, e a ocorrência do disparo originando a tensão no catodo (sobre R_k).

EXERCÍCIO RESOLVIDO:

A partir dos dados abaixo:

- $V_{BB} = 12V$
- $R1 = 20k\Omega$
- $C1 = 1\mu F$
- $R_k = 100\Omega$
- $R_{B1} = 10k\Omega$
- $R_{B2} = 5k\Omega$
- $I_p = 100\mu A$
- $V_v = 1V$
- $I_v = 5,5mA$

Determine:

- 1) V_p

- 2) R(max) e R(min)
- 3) frequência de oscilação
- 4) formas de onda ($V_A - V_G - V_K$) com os respectivos valores.

Resolvendo:

$$V_p = \eta V_{BB} + V_D \rightarrow \eta = \frac{R_{B1}}{R_{B1} + R_{B2}} \rightarrow V_p = \frac{R_{B1}}{R_{B1} + R_{B2}} V_{BB} + 0,7$$

$$V_p = \left(\frac{10k}{15k} \right) \cdot 12 + 0,7 = 8,7V$$

$$R(\max) = \frac{V_{BB} - V_p}{I_p} = \frac{12 - 8,7}{100\mu A} = \mathbf{33k\Omega}$$

$$R(\min) = \frac{V_{BB} - V_V}{I_V} = \frac{12 - 1}{5,5mA} = \mathbf{2k\Omega}$$

Faixa de atuação de R: $2k\Omega < 20k\Omega < 33k\Omega$

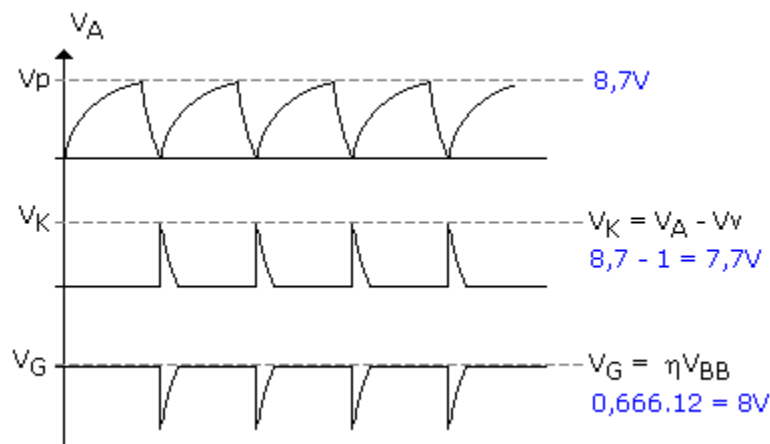
Calculando a frequência de oscilação, através do período "T"

$$T \cong RC \log_e \left(\frac{V_{BB}}{V_{BB} - V_p} \right)$$

$$(20 \cdot 10^3 \times 1 \cdot 10^{-6}) \log_e \frac{12}{12 - 8,7} = (20 \cdot 10^{-3}) \log_e 3,3 \rightarrow \ln 3,3 = 1,194$$

$$T = 20 \cdot 10^{-3} \cdot 1,194 = 23,88ms$$

$$f = \frac{1}{T} = \frac{1}{23,88ms} = \mathbf{41,876Hz}$$



Calculando η :

$$\eta = \frac{R_{B1}}{R_{B1} + R_{B2}} = \frac{10K}{15K} = 0,666$$

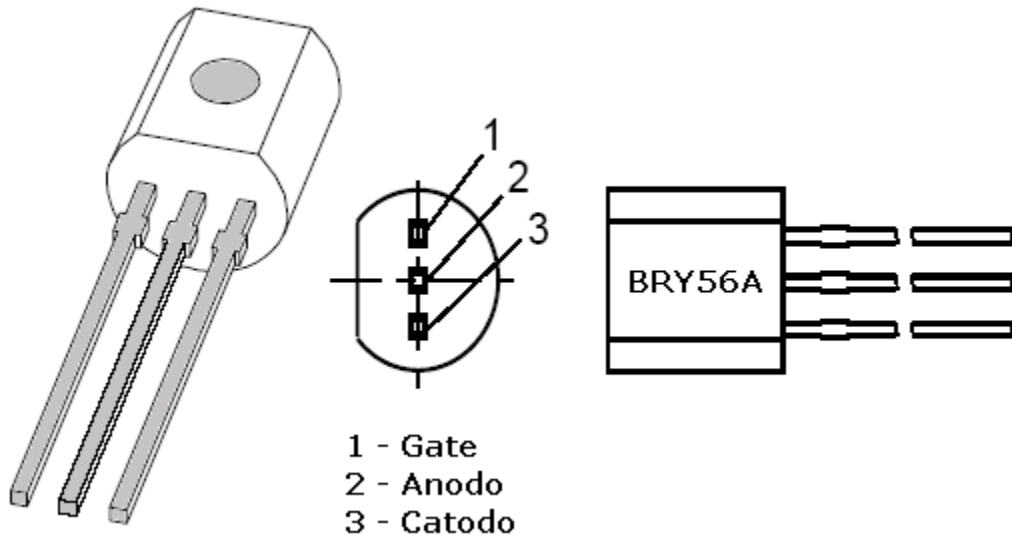
Calculando a frequência através da outra fórmula: $T \cong RC \log_e \left(1 + \frac{R_{B1}}{R_{B2}} \right)$

$$T = (20 \cdot 10^3 \cdot 1 \cdot 10^{-6}) \cdot \log_e \left(1 + \frac{10k}{5k} \right) = (20 \cdot 10^{-3}) \log_e (1+2) \rightarrow \ln 3 = 1,0986$$

$$T = 20 \cdot 10^{-3} \cdot 1,0986 = 21,972ms$$

$$f = \frac{1}{T} = \frac{1}{21,972ms} = \mathbf{45,51Hz}$$

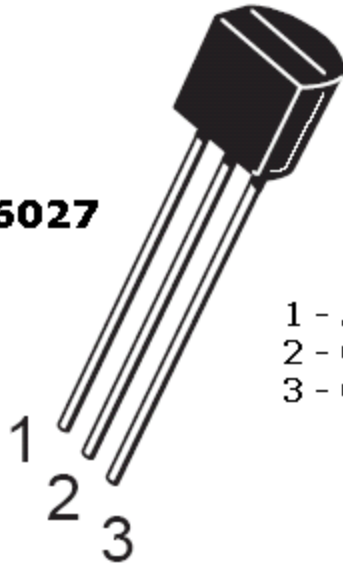
A figura a seguir mostra o aspecto de um PUT – BRY56A, fabricado pela Philips.



Encapsulamento: SOT54
Tensão V_{AK} (max) = 70V
Corrente de anodo I_A (max) = 175mA
Potência total (max) = 300mW

A figura a seguir mostra o aspecto físico do PUT 2N6027, fabricado pela *ON Semiconductor*, para operar em 40V com potência de 300mW, com encapsulamento TO-92

2N6027



- 1 - Anodo
- 2 - Gate
- 3 - Catodo