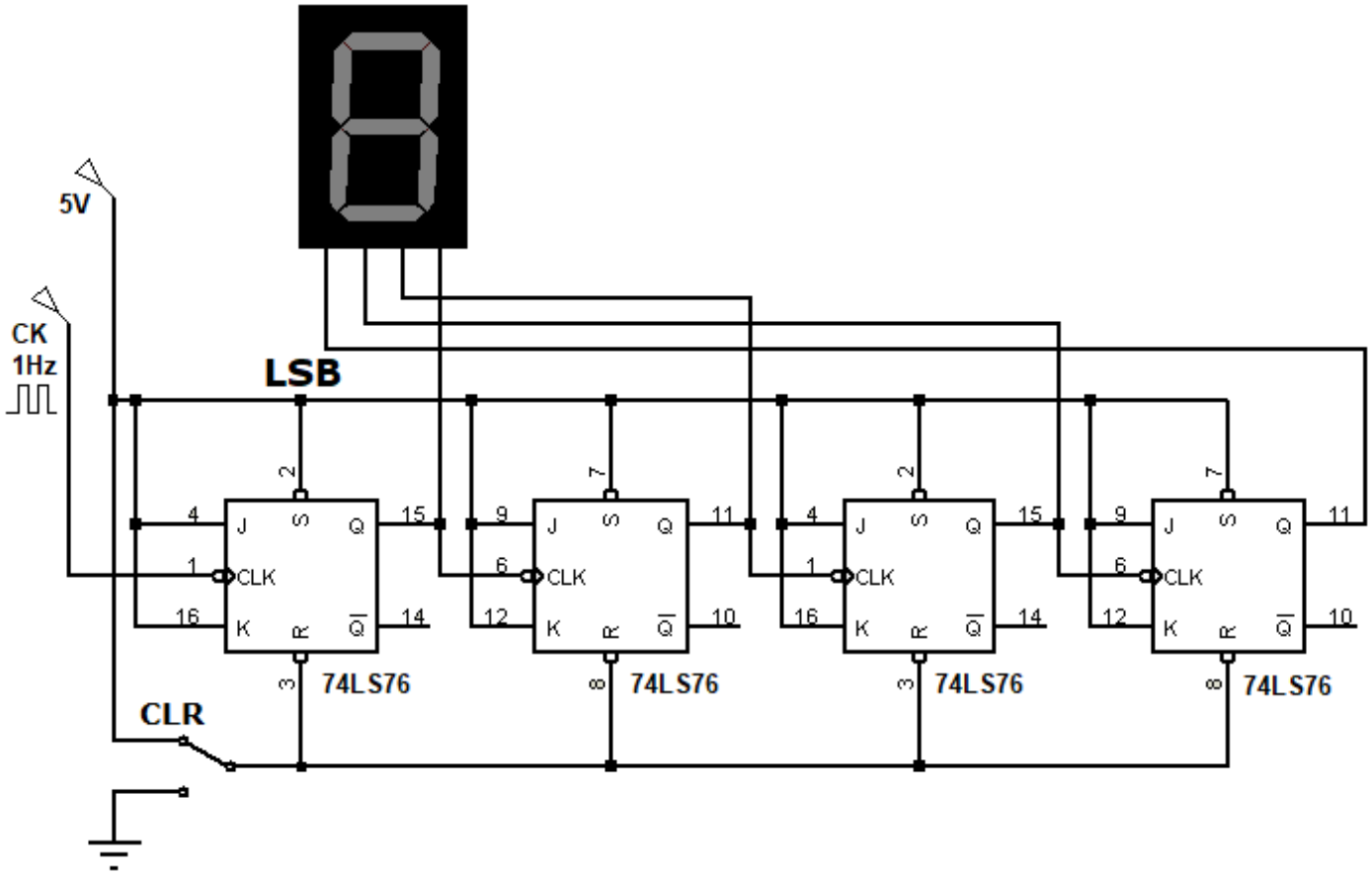
CONTADORES ASSÍNCRONOS

Implementação com FFs JK – (CI COMERCIAL 74LS76)

Os contadores assíncronos caracterizam-se por não possuírem entradas comuns de clock, ou seja, o pulso de clock é aplicado apenas no primeiro FF. Abaixo temos o diagrama esquemático do contador assíncrono de 4 bits:

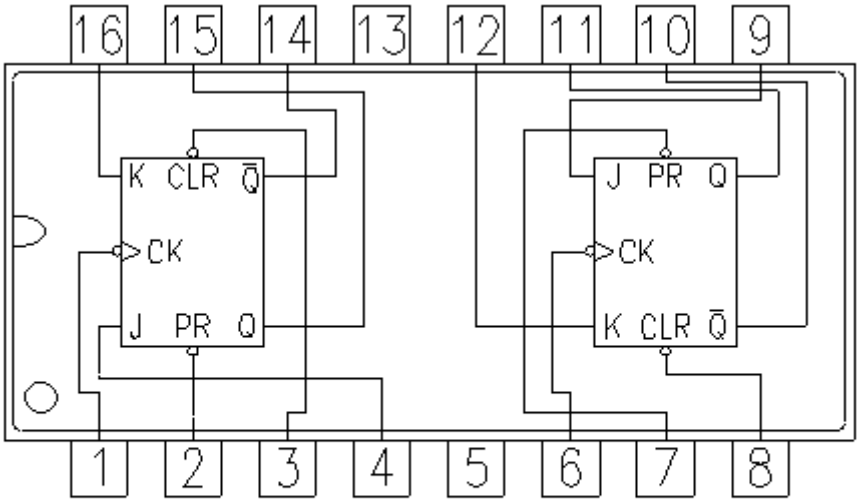


Os FFs JK estão configurados no modo T e desta forma só possui duas formas de operação: Toggle e Hold.

Neste circuito contador está operando no modo Toggle, visto que as entradas J e K estão submetidas a nível lógico 1. O primeiro FF (o que recebe o pulso de clock) representa LSB, ou seja, bit menos significativo.

DUAL J-K FLIP-FLOP WITH PRESET AND CLEAR

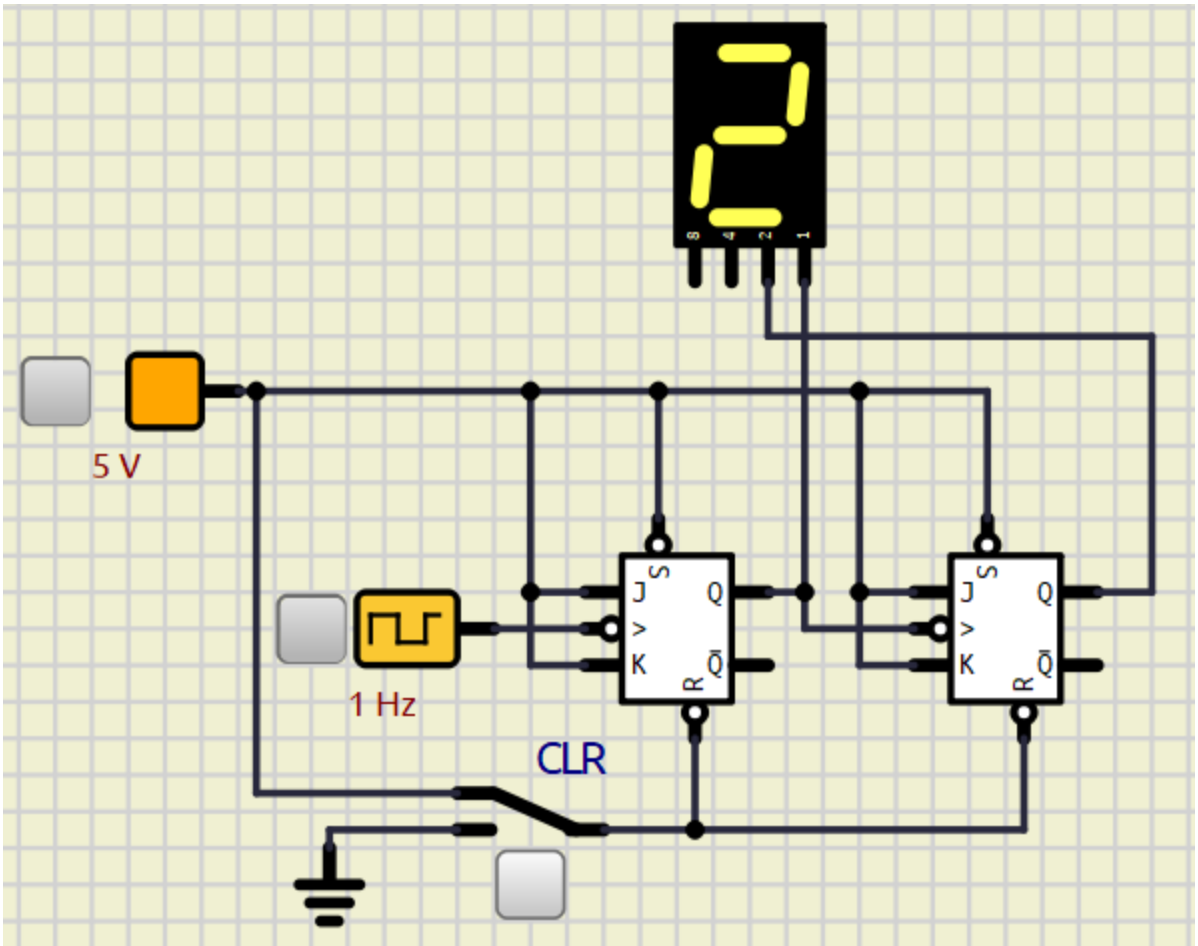
pinos 1 e 6 = clock (CLK)
pinos 2 e 7 = preset (S) - ativos em NL 0
pinos 3 e 8 clear (S) - ativos em NL 0
pinos 4 e 9 = entradas J
pinos 16 e 12 = entradas K
pinos 15 e 11 = saídas Q
pinos 14 e 10 = saídas Q' (complementares)
pino 5 = alimentação VCC (5V)
pino 13 = terra (GND)



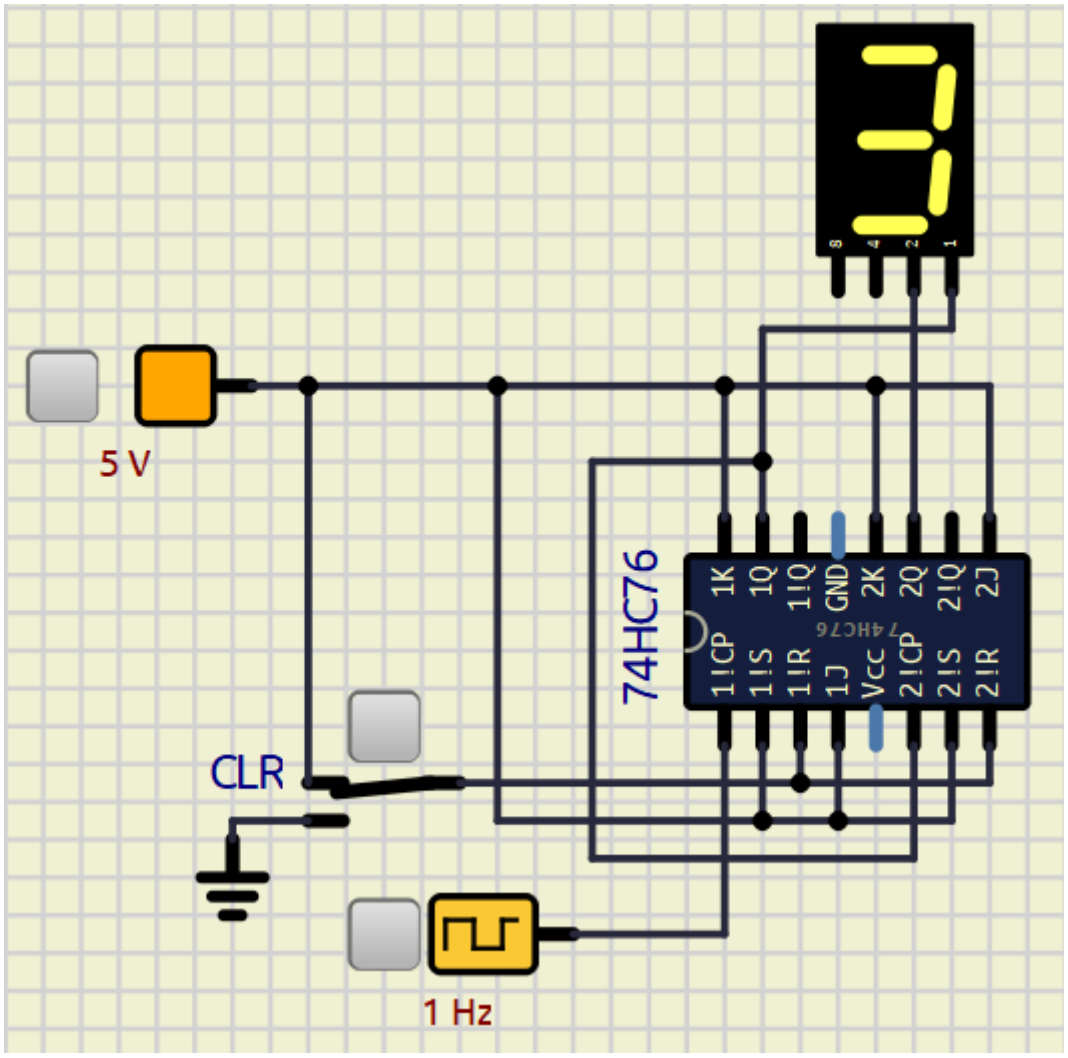
7476 (74LS76)
Dual Flip-flop JK with Preset and Clear

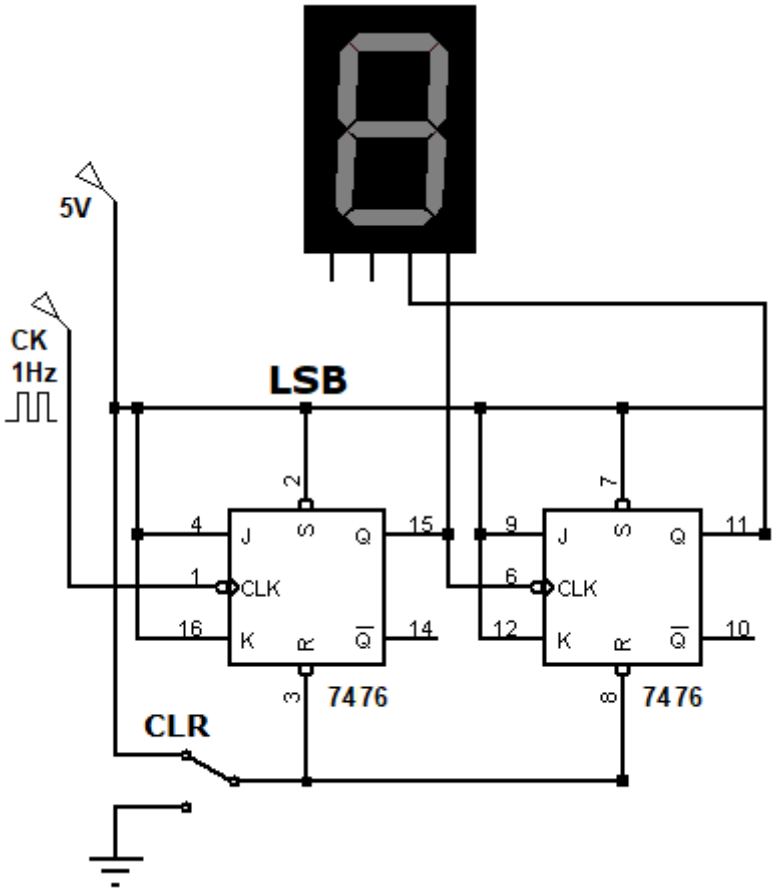
Utilizando apenas 1 CI, a contagem limita-se de 0 a 3 (2 bits), logo, para construir um contador de 4 bits, devemos usar 2 CIs.

A figura abaixo mostra o contador de 2 bits construído no Simulador IDE utilizando o bloco primário de um FF tipo JK.

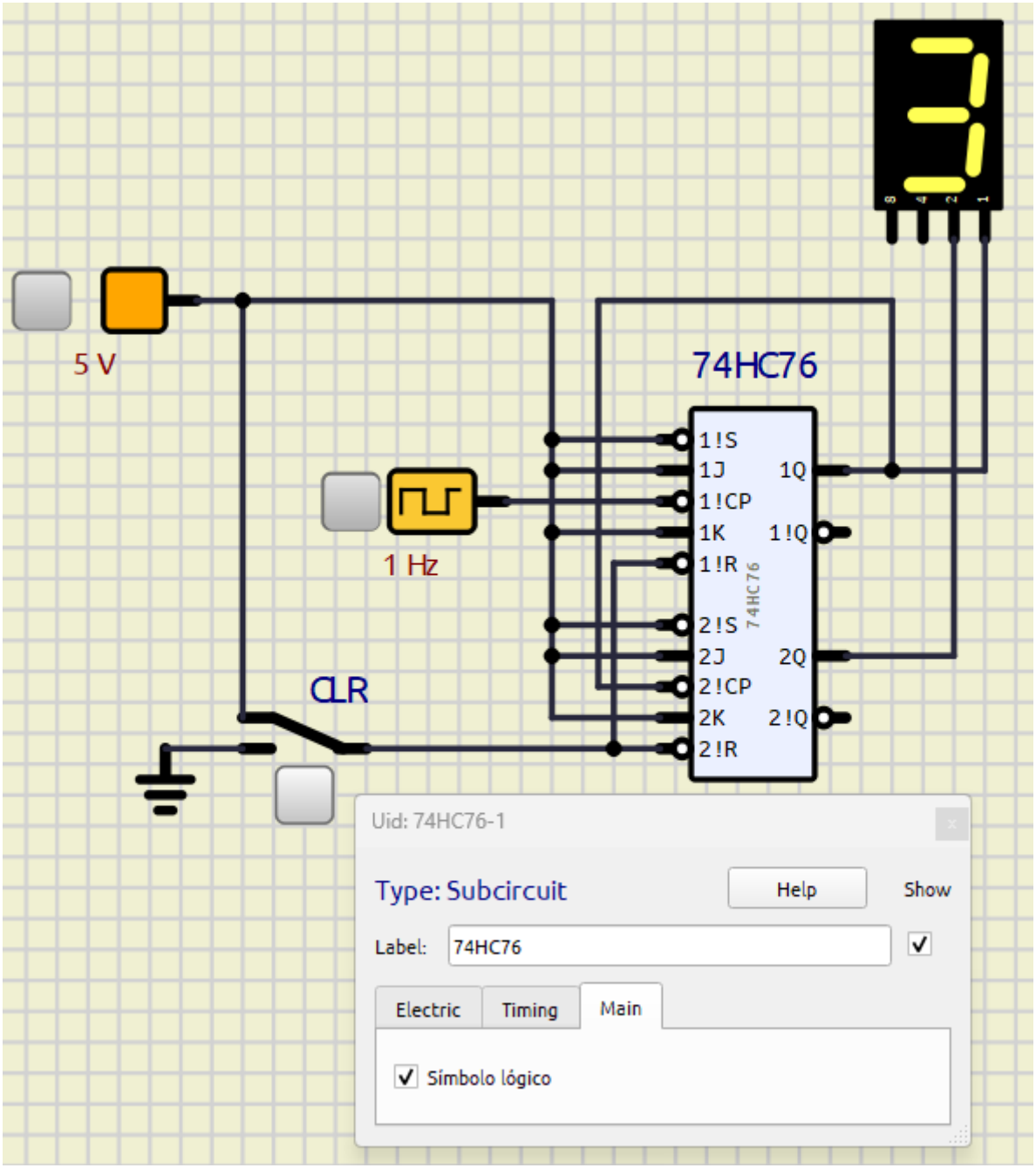


A figura a seguir mostra o mesmo contador de 2 bits, porém usando o CI comercial 7476 (74HC76). Observe a correspondência da identificação dos pinos de ligação com o diagrama em blocos básicos:


5 V
CLR
1 Hz
74HC76
1K
1Q
1!Q
GND
2K
2Q
2!Q
2J
1!CP
1!S
1!R
1J
Vcc
2!CP
2!S
2!R


5V
CK
1Hz
LSB
J
S
Q
CLK
K
R
Q
7476
CLR

Um recurso muito útil e interessante que o Simulador IDE proporciona, é que é possível visualizar a mesma montagem e simulação feita com o CI 74HC76, através de símbolo lógico.



Tanto na montagem e simulação com o chip comercial 74HC76 como no símbolo lógico, a identificação dos pinos é a mesma.

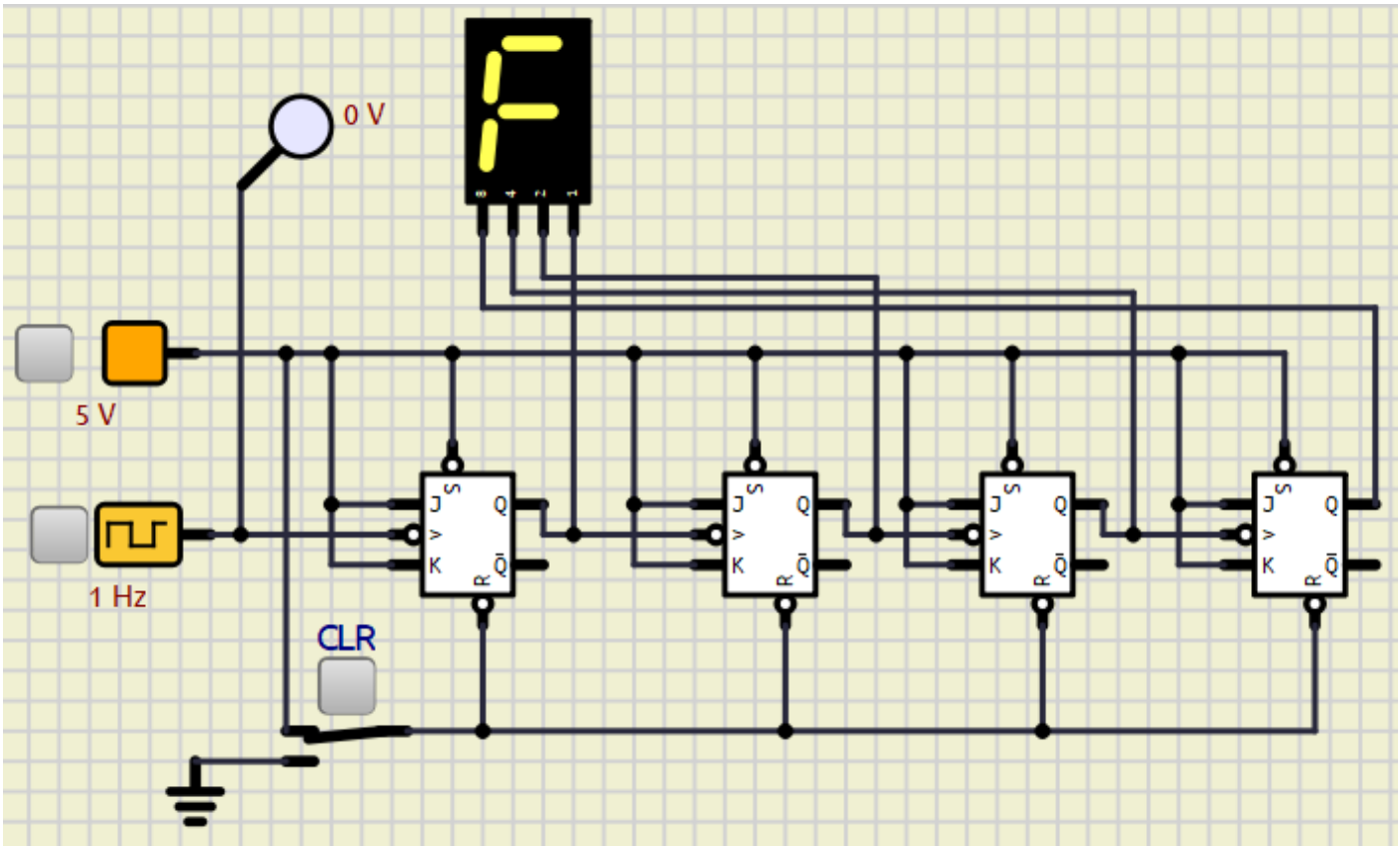
Se compararmos o nomenclatura dos pinos com a maioria dos manuais de fabricantes (datasheet), por conta da programação usada no Simulador IDE, uma entrada ativada em borda negativa ou em "0" é representada por um ponto de exclamação: "!".

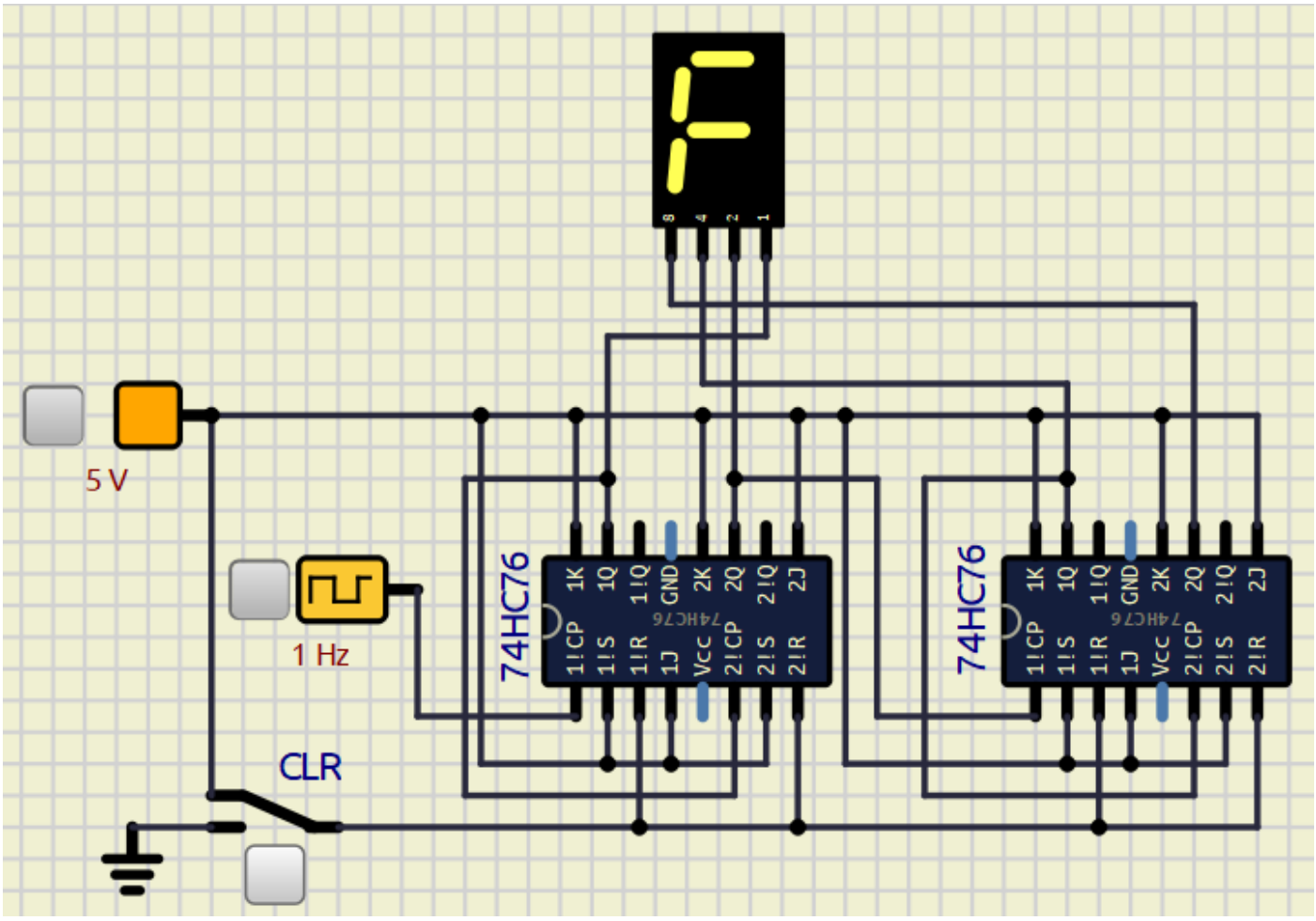
Exemplos:

1!S e 1!R = entradas PR e CLR ativas em "0"

1!CP e 2!CP = ativação em borda negativa (transição H-L)

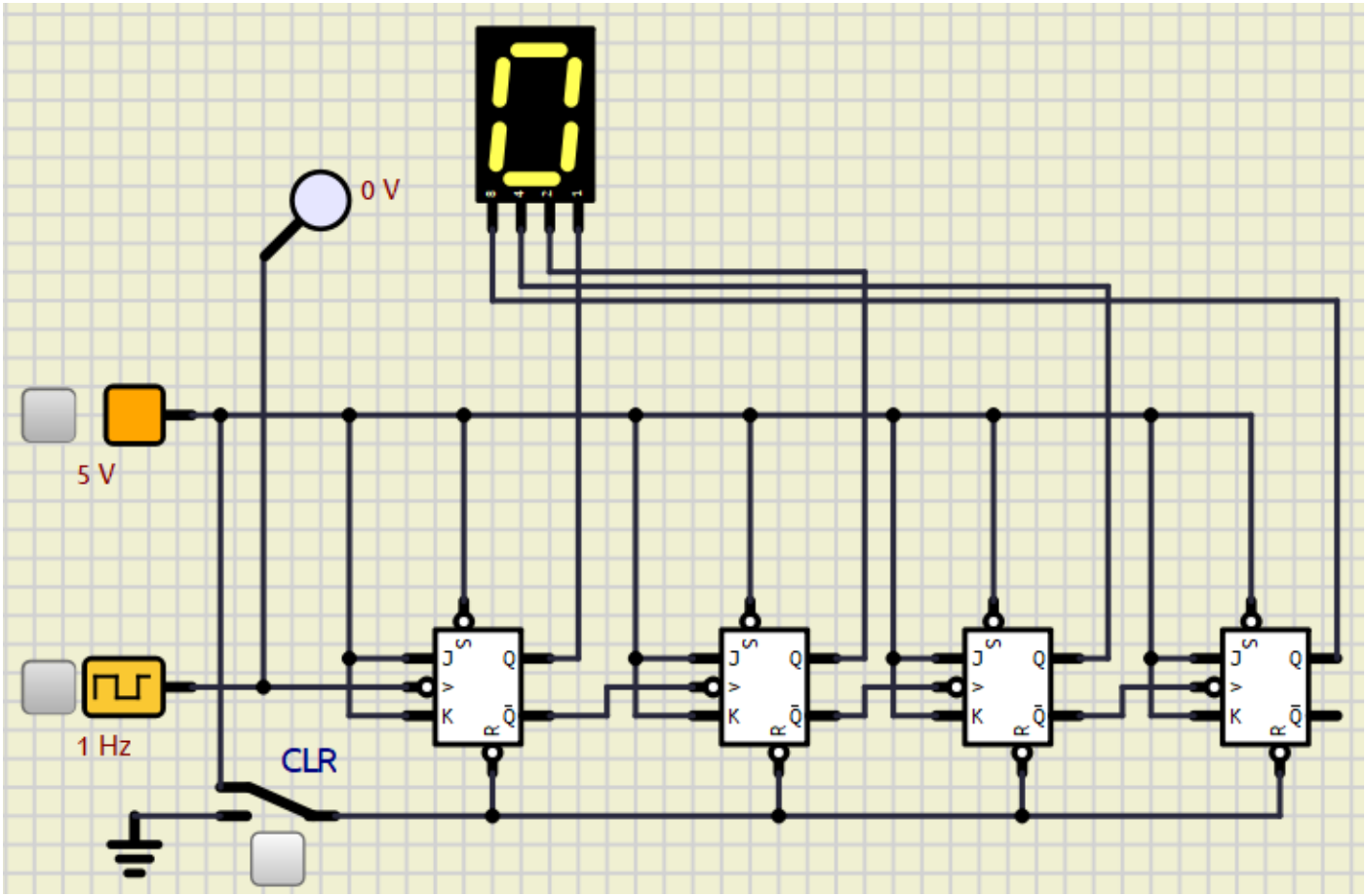
A figura abaixo mostra a simulação de um contador assíncrono de 4 bits, tipo *"crescente"* ou *"progressivo"*.





Temos visto até agora, contador assíncrono do tipo crescente ou progressivo. No entanto, o mesmo poderá ser configurado para contagem regressiva, ou sejam de "F" a "0".

Com apenas 3 alterações, podemos tornar esse contador *"decrescente"* ou *"regressivo",* conforme ilustra a figura abaixo:



A figura acima mostra um contador assíncrono decrescente, onde se observa que o pulso de clock para o FF subsequente foi obtida da saída Q' (saída complementar). Com apenas essas 3 alterações, o mesmo opera no sentido decrescente.

Considerações:

O contador assíncrono é também chamado de contador de ripple (ou contador de pulsos), tendo em vista que o sinal de clock é plicado apenas no primeiro FF e se propaga em cascata de um FF para outro.

Como o sinal de clock é aplicado no primeiro FF, o mesmo assume a condição de LSB (bit menos significativo).

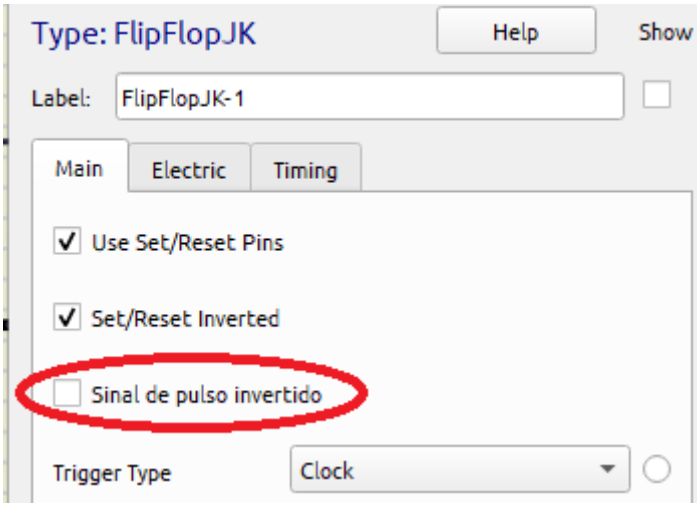
No caso de serem utilizados 4 FFs, a contagem máxima é 16 pulsos (2^4), ou seja, de 0 a 15.

Se forem utilizados 5 FFs a contagem máxima é de 32 pulsos (2^5), ou seja, de 0 a 31 e assim por diante.

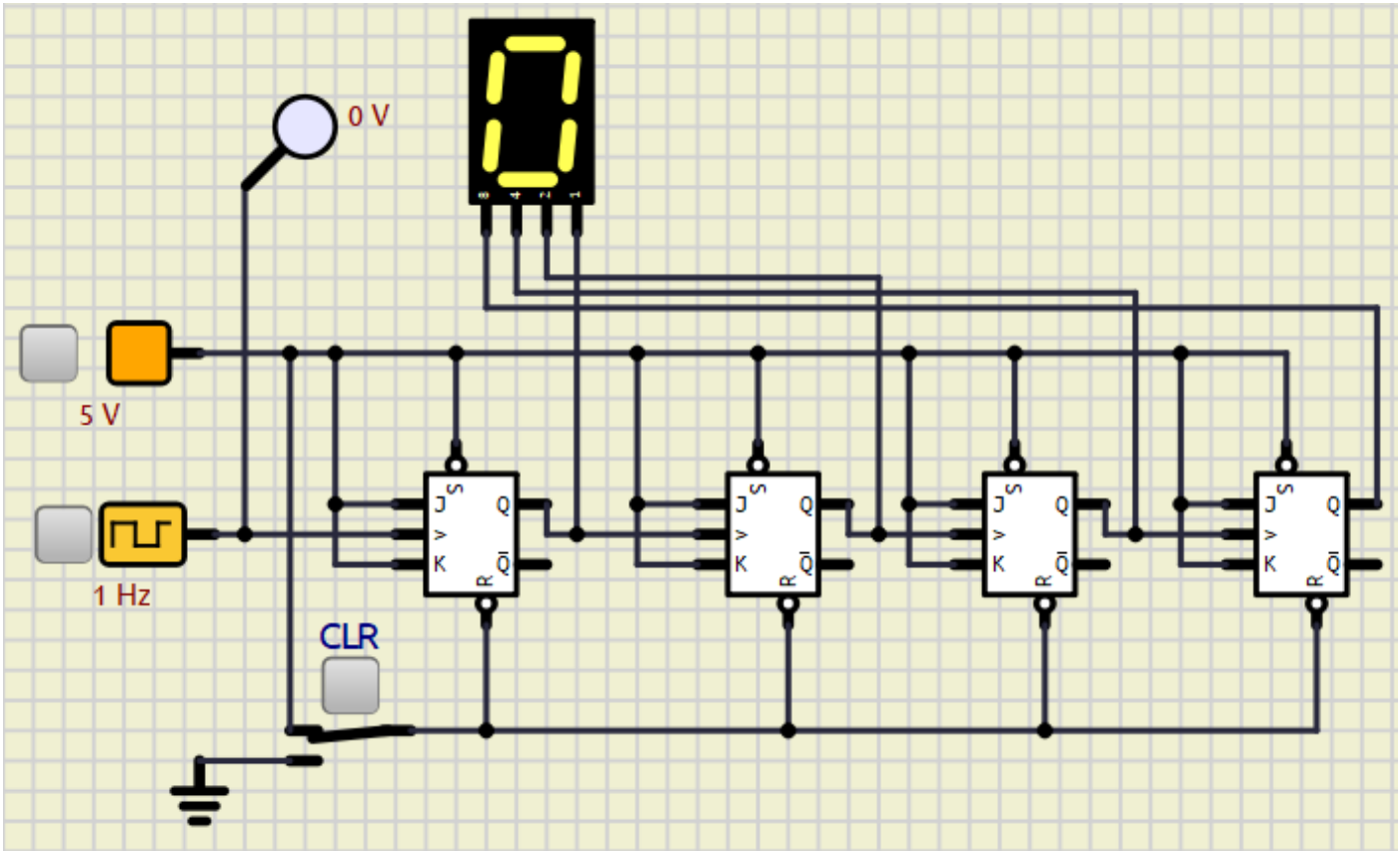
Outra opção para a construção de um contador assíncrono decrescente é a inserção de um inversor em cada entrada do pulso de clock.

No Simulador IDE essa alteração é bem simples, não havendo necessidade de inserir mais um componente (porta NOT) no circuito.

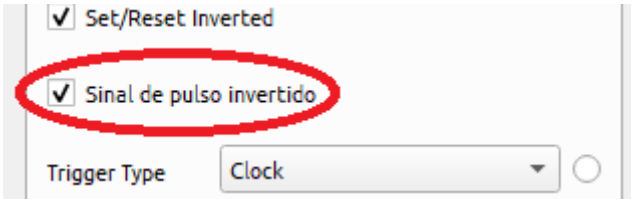
Basta na opção Main desmarcar a caixa de seleção: "Sinal de pulso invertido".

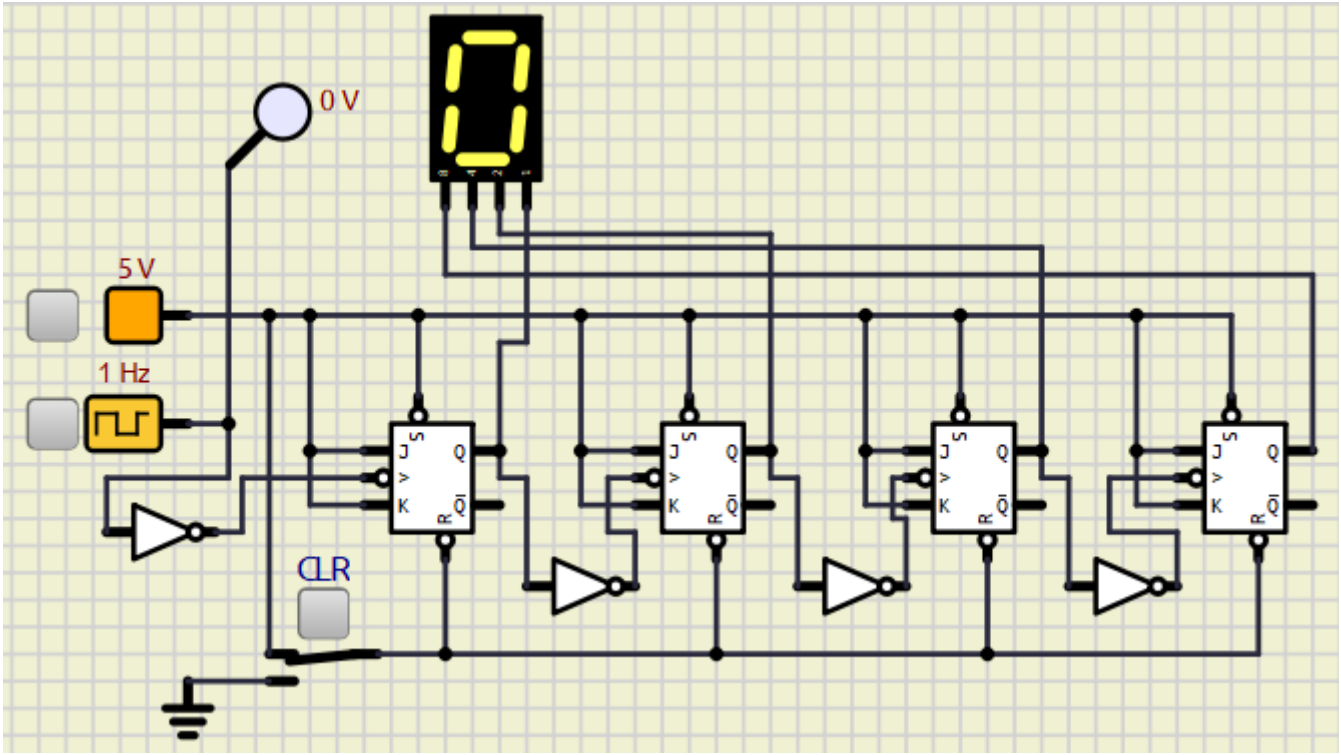


Ao desmarcar essa opção, é como se estivesse sendo introduzida na entrada de clock de cada FF uma porta NOT (inversor).



Na figura a seguir, mantendo a entrada de pulso invertida, basta colocar um inversor em cada entrada dos FFs.





Veja a seguir uma tabela da verdade do comportamento de um contador assíncrono crescente de 4 bits.

O flip-flop 1 (FF-1) é o que recebe o pulso de clock, sendo, portanto, o que representa o bit menos significativo (LSB) na contagem binária.

CK	Saídas dos FFs				Saída binária / decimal
	FF-4	FF-3	FF-2	FF-1	
ligado	0	0	0	0	0000 / 0
1	0	0	0	1	0001 / 1
2	0	0	1	0	0010 / 2
3	0	0	1	1	0011 / 3
4	0	1	0	0	0100 / 4
5	0	1	0	1	0101 / 5
6	0	1	1	0	0110 / 6
7	0	1	1	1	0111 / 7
8	1	0	0	0	1000 / 8
9	1	0	0	1	1001 / 9
10	1	0	1	0	1010 / 10 – A
11	1	0	1	1	1011 / 11 – B
12	1	1	0	0	1100 / 12 – C
13	1	1	0	1	1101 / 13 – D
14	1	1	1	0	1110 / 14 – E
15	1	1	1	1	1111 / 15 – F
16	0	0	0	0	0000 / 0

No 16º pulso os FFs são zerados e a contagem é reiniciada.